

JAPAN PATENT OFFICE

This is to certify that the annexed is a true copy of the following application as filed with this office.

Date of Application: July 8, 2002

Application Number: Patent Application 2002-198373
[ST.10/C]: [JP2002-198373]

Applicant(s): FUJITSU LIMITED

November 12, 2002

Commissioner,
Japan Patent Office Shinichiroh OHTA

Certification No. 2002-3089755

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2002年 7月 8日

出 願 番 号

Application Number:

特願2002-198373

[ST.10/C]:

[JP2002-198373]

出 願 人

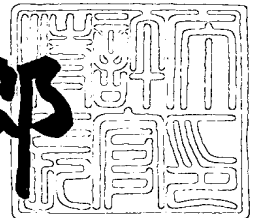
Applicant(s):

富士通株式会社

2002年11月12日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田 信一郎



出証番号 出証特2002-3089755

【書類名】 特許願

【整理番号】 0240385

【提出日】 平成14年 7月 8日

【あて先】 特許庁長官 殿

【国際特許分類】 G11C 17/18

【発明の名称】 半導体記憶装置

【請求項の数】 10

【発明者】

【住所又は居所】 愛知県春日井市高蔵寺町二丁目 1 8 4 4 番 2 富士通ヴ
ィエルエスアイ株式会社内

【氏名】 加藤 健太

【特許出願人】

【識別番号】 000005223

【氏名又は名称】 富士通株式会社

【代理人】

【識別番号】 100098431

【弁理士】

【氏名又は名称】 山中 郁生

【電話番号】 052-218-7161

【選任した代理人】

【識別番号】 100097009

【弁理士】

【氏名又は名称】 富澤 孝

【手数料の表示】

【予納台帳番号】 041999

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0008078

【プルーフの要否】 要

【書類名】 明細書
【発明の名称】 半導体記憶装置
【特許請求の範囲】

【請求項 1】 データ読み出しの際、記憶セルから読み出されるデータを基準値に対して差動増幅する半導体記憶装置において、

1 のリファレンスセルと、

前記記憶セルの選択アドレスに応じて、前記リファレンスセルに接続される第 1 負荷を調整する負荷調整部とを備え、

前記第 1 負荷は、前記選択アドレスに応じて選択される前記記憶セルのデータ経路上の第 2 負荷に対して調整されることを特徴とする半導体記憶装置。

【請求項 2】 前記第 2 負荷は、前記選択アドレスに応じた前記記憶セルのソース端子側の負荷であり、

前記負荷調整部は、前記リファレンスセルのソース端子側に備えられることを特徴とする請求項 1 に記載の半導体記憶装置。

【請求項 3】 前記負荷調整部は、

複数の負荷要素を含む負荷要素群と、

前記選択アドレスにより前記負荷要素群から所定の前記負荷要素を選択して前記第 1 負荷とする選択部とを備えることを特徴とする請求項 1 に記載の半導体記憶装置。

【請求項 4】 複数の前記記憶セルと共通端子との間を接続する共通線路を備え、

前記負荷要素群は、前記共通線路と等価な負荷分布を備えており、

前記選択部は、個々の前記記憶セルが接続される前記共通線路の各接続点に対応する前記負荷要素群の各接続点を、前記リファレンスセルに接続することを特徴とする請求項 3 に記載の半導体記憶装置。

【請求項 5】 両端部が共通端子に接続され、2 のべき乗数の前記記憶セルが等間隔に接続される共通線路を備え、

前記負荷要素群は、前記記憶セルが接続される前記共通線路上の隣接接続点間の第 1 負荷要素を、2 のべき乗数ごとに順次加算して得られる所定数の第 2 負荷

要素を、直列接続した第 1 負荷要素群と、前記第 1 負荷要素群から最大負荷の前記第 2 負荷要素を除いた第 2 負荷要素群とを備え、

前記選択部は、前記第 1 および第 2 負荷要素群のうち相互に対応する前記第 2 負荷要素を排他的に選択することを特徴とする請求項 3 に記載の半導体記憶装置。

【請求項 6】 各々、複数の前記記憶セルが接続されている第 1 および第 2 デジタル線と、

前記第 1 デジタル線を介して、非選択の前記記憶セルのみが接続される第 1 データ線と、

前記第 2 デジタル線を介して、選択される前記記憶セルが接続される第 2 データ線と、

前記 1 のリファレンスセルと前記負荷調整部とを備え、前記第 1 データ線に接続される第 1 ロード部と、

前記第 1 ロード部と同等な構成を有し、前記第 2 データ線に接続される第 2 ロード部とを備え、

前記第 1 及び第 2 データ線を 1 対として、読み出し動作を行なうことを特徴とする請求項 1 乃至 5 の少なくともいずれか 1 項に記載の半導体記憶装置。

【請求項 7】 各々、複数の前記記憶セルが接続されている第 1 および第 2 デジタル線と、

前記第 1 デジタル線を介して、非選択の前記記憶セルのみが接続される第 1 データ線と、

前記第 2 デジタル線を介して、選択される前記記憶セルが接続される第 2 データ線と、

前記第 1 データ線に接続されて前記第 1 データ線に前記基準値を供給する第 1 ロード部と、

前記第 1 ロード部と同等な構成を有し、前記第 2 データ線に接続される第 2 ロード部と、

前記 1 のリファレンスセルと前記負荷調整部とを含み、前記基準値に応じたレギュレート電圧を出力するレギュレータ部とを備え、

前記第 1 及び第 2 ロード部は、前記レギュレート電圧により制御される第 1 及び第 2 負荷部を備えることを特徴とする請求項 1 乃至 5 の少なくともいずれか 1 項に記載の半導体記憶装置。

【請求項 8】 複数の読み出し動作モードを備える半導体記憶装置において

前記複数の読み出し動作モードのうちの所定の読み出し動作モードについて、前記 1 のリファレンスセルおよび前記負荷調整部を備えることを特徴とする請求項 1 乃至 7 の少なくともいずれか 1 項に記載の半導体記憶装置。

【請求項 9】 前記 1 のリファレンスセルおよび前記負荷調整部を備えるべき前記所定の読み出し動作モードが 2 以上ある場合、

前記負荷調整部は、前記読み出し動作モード間で共用されることを特徴とする請求項 8 に記載の半導体記憶装置。

【請求項 10】 前記半導体記憶装置は、不揮発性半導体記憶装置であり、前記所定の読み出し動作モードは、データ読み出しモード、または、前記データ読み出しモードと、プログラム確認モードまたは消去確認モードのうちの少なくとも何れか一方の読み出し動作モードとであることを特徴とする請求項 8 に記載の半導体記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体記憶装置の差動増幅に関するものであり、特に、リファレンスセルからの基準値との比較により記憶データを増幅する半導体記憶装置に関するものである。

【0002】

【従来の技術】

フラッシュメモリ等に代表される半導体記憶装置においては、データの格納は、メモリセルアレイにマトリクス状に配置されている記憶セルに備えられる不揮発性トランジスタの電流駆動能力により行われる。すなわち、“1”／“0”のデータに対しては、不揮発性トランジスタが電流を流す／流さない、又はより多

くの電流を流す／より少ない電流を流す、等の違いにより行なわれる。

【 0 0 0 3 】

そして、不揮発性半導体記憶装置に格納されているデータのセンスは、マトリクス状に配置されている記憶セルを選択し、選択された記憶セルに接続されたディジット線から記憶セルを介して接地電圧 V_{SS} に流れる電流と、リファレンス用ディジット線からリファレンスセルを介して接地電圧 V_{SS} に流れる基準電流との大小関係により行われる。この際、記憶セルと接地電圧 V_{SS} との間の電流経路は記憶セルの配置位置ごとに異なっており、異なる配線抵抗が記憶セルの不揮発性トランジスタのソース抵抗として付加されることとなる。ソース抵抗は、不揮発性トランジスタの電流駆動能力を制限するように作用するので、ソース抵抗の違いにより記憶セルの電流特性は異なったものとなる。

【 0 0 0 4 】

この影響を排除する構成として、特開平 4 - 6 7 5 0 0 号公報には図 1 7 に示すように、記憶セルの行方向におけるセル数と同一数にて一行のリファレンスセル RC 1 0 0 乃至 RC 1 0 3 を備え、これらのリファレンスセル RC 1 0 0 乃至 RC 1 0 3 の各々に上記の配線抵抗と同じ抵抗値を有する線路を接続し、更に選択された記憶セルと同列の列アドレスに位置するリファレンスセルを選択できるように、列デコード信号 Y 1 0 0 乃至 Y 1 0 3 で制御されるデコード回路 3 0 0 乃至 3 0 3 を備えたリファレンス部 1 0 0 0 が記載されている。リファレンス部 1 0 0 0 では、選択される記憶セルと同列のリファレンスセルが選択され接地電圧 V_{SS} への配線抵抗が同一となることにより、選択される記憶セルに応じた基準電流を得て記憶セルに関わらず読み出し動作の余裕度をほぼ一定とするものである。

【 0 0 0 5 】

【発明が解決しようとする課題】

しかしながら、従来技術におけるリファレンス部 1 0 0 0 では、リファレンスセルの数が、メモリセル領域において一行の記憶セル群の数だけ必要となる。半導体記憶装置の記憶容量の増大に伴い、リファレンスセルの数も増加させざるを得ないという問題がある。以下、具体的に問題点を列記する。

【 0 0 0 6 】

動作不良の記憶セルに対してはその救済措置として冗長構成が備えられるが、チップ占有面積の制約からリファレンスセル用の冗長構成は備えられないことが一般的である。そのため、配置数が増大したリファレンスセルにおいて動作不良が発生する確率は増大することとなり、製造時の良品歩留まりを悪化させるおそれがあり問題である。また、リファレンスセル用の冗長構成を備える場合には、リファレンス部の回路規模が増大することとなり、チップサイズが増大してしまうおそれがあり問題である。

【 0 0 0 7 】

また、ソース抵抗として付加される配線抵抗はバランスされるもののリファレンスセル数自体が増加するため、リファレンスセル間、あるいはリファレンスセルと記憶セルとの間での特性のばらつきが増大することとなり、電流比較による読み出し動作の余裕度が減少してしまうおそれがあり問題である。

【 0 0 0 8 】

また、出荷試験時には、個々のリファレンスセルの閾値電圧を調整するために、リファレンスセルごとにプログラム動作を行なう必要がある。多数のリファレンスセルを備えることにより多くの調整時間が必要され、多大な試験時間を必要とするおそれがあり問題である。

【 0 0 0 9 】

また、多数備えられたリファレンスセルを選択するために、デコード回路の回路規模も増大せざるを得ず、またデコード回路に制御信号として供給される列デコード信号の数も増大することとなる。デコード回路の配置領域や列デコード信号の配線領域の増大に伴うチップサイズの増大のおそれがあり問題である。

【 0 0 1 0 】

また、フラッシュメモリ等においては、消去確認（以下、E R V）、プログラム確認（以下、P G M V）、読み出し動作（以下、R E A D）等の各種の動作モードがあり、各々の動作モードに閾値電圧の異なるリファレンスセルが必要とされる。そのため、動作モードごとに記憶セルの一行を構成する列アドレス分のリファレンスセルが必要とされるため、リファレンスセルの総数として多大な数の

セルが必要となってしまう。デコード回路や列デコード信号とも合わせ、多大な占有面積が必要とされチップサイズが増大してしまう他、各リファレンスセルの特性ばらつきも大きなものとなり、出荷時の試験時間も多大な時間を必要とすることとなり、問題である。

【 0 0 1 1 】

本発明は前記従来技術の問題点を解消するためになされたものであり、リファレンスセル数を必要最小限に抑えながら選択される記憶セルに応じた基準電流を得て、記憶セルに関わらず読み出し動作の余裕度を一定とすることができる半導体記憶装置を提供することを目的とする。

【 0 0 1 2 】

【課題を解決するための手段】

前記目的を達成するために、請求項 1 に係る半導体記憶装置は、記憶セルから読み出されるデータを差動増幅するための基準値を生成するために、1つのリファレンスセルと、記憶セルの選択アドレスに応じて、リファレンスセルに接続される第 1 負荷を調整する負荷調整部とを備えることを特徴とする。

【 0 0 1 3 】

請求項 1 の半導体記憶装置では、選択アドレスにより選択される記憶セルに対して、1つのリファレンスセルから供給される基準値で差動増幅が行なわれる。この際、選択された記憶セルのデータ経路上の第 2 負荷に対応して、負荷調整分により選択アドレスに応じて調整された第 1 負荷がリファレンスセルに接続される。

【 0 0 1 4 】

これにより、リファレンスセルの数を必要最小限の数にしながら、選択アドレスに応じて第 1 負荷を調整することにより、個々の記憶セルに応じた基準値の供給を行なうことができる。

【 0 0 1 5 】

リファレンスセルの数は必要最小限に抑制されるので、動作不良が発生するリファレンスセルの確率を低減することができ、リファレンスセル用の冗長構成を備えなくとも、リファレンスセルの動作不良に伴う製造時の歩留まり低下を抑制

することができる。また、リファレンスセル用の冗長構成を備えることによるチップサイズの増大の懸念もない。

【 0 0 1 6 】

また、リファレンスセルの数が必要最小限であることから、複数の基準値を生成する場合にも、個々のリファレンスセルの特性ばらつきの広がりを小さく抑えることができる。動作特性のばらつきの少ないリファレンスセルで構成することができ、個々の基準値のばらつきが抑制され、読み出し時の動作余裕を確保することができる。

【 0 0 1 7 】

更に、出荷試験時等における、リファレンスセルごとの閾値電圧の調整も必要最小限の時間で完了することができ、試験時間の短縮を図ることができる。

【 0 0 1 8 】

また、請求項 2 に係る半導体記憶装置は、請求項 1 に記載の半導体記憶装置において、第 2 負荷は、選択アドレスに応じた記憶セルのソース端子側の負荷であり、負荷調整部は、リファレンスセルのソース端子側に備えられることを特徴とする。これにより、記憶セルのソース抵抗である第 2 負荷に応じた第 1 負荷を、リファレンスセルのソース抵抗として接続することができる。記憶セルおよびリファレンスセルの動作特性の基本となるソース端子の電気的狀態を、個々に異なるソース抵抗を有する記憶セルに関わらず所定の関係に調整することができ、記憶セルからの読み出しデータに適合した基準値を常時供給することができる。

【 0 0 1 9 】

記憶セルおよびリファレンスセルが MOS トランジスタ等の電圧制御のトランジスタを備えて構成される場合、ソース抵抗に流れるソース電流に応じてトランジスタのバイアス電圧が変化し、電圧電流特性等の動作特性が変化することがある。この場合にも、リファレンスセルのソース端子に記憶セルのソース抵抗に応じた第 1 負荷を接続することで、両セルへのバイアス電圧の変化量に相関を持たせることができる。

【 0 0 2 0 】

また、請求項 3 に係る半導体記憶装置は、請求項 1 に記載の半導体記憶装置に

において、負荷調整部は、複数の負荷要素を含む負荷要素群と、選択アドレスにより負荷要素群から所定の負荷要素を選択して第 1 負荷とする選択部とを備えることを特徴とする。

【 0 0 2 1 】

請求項 3 の半導体記憶装置では、各記憶セルに接続される第 2 負荷に対応して第 1 負荷を選択できるように、予め複数の負荷要素を備えて負荷要素群が構成されており、選択部により選択アドレスに応じて所定の負荷要素を選択してやれば第 1 負荷を選択することができる。

【 0 0 2 2 】

また、請求項 4 に係る半導体記憶装置は、請求項 3 に記載の半導体記憶装置において、複数の記憶セルと共通端子との間を接続する共通線路を備え、負荷要素群は、共通線路と等価な負荷分布を備えており、選択部は、個々の記憶セルが接続される共通線路の各接続点に対応する負荷要素群の各接続点を、リファレンスセルに接続することを特徴とする。

【 0 0 2 3 】

請求項 4 の半導体記憶装置では、複数の記憶セルと共通端子とが共通端子を介して接続される構成を有する際、リファレンスセルと共通端子との接続を、共通線路と等価な負荷分布を有する負荷要素群で接続する。この際、リファレンスセルと負荷要素群との間に選択部を配置して、リファレンスセルを個々の記憶セルが接続される共通線路の各接続点に対応する負荷要素群の各接続点に接続する。

【 0 0 2 4 】

これにより、共通線路上の個々の接続点から共通端子に到る経路が記憶セルごとに異なる場合にも、負荷要素群が、共通線路と等価な負荷分布を有すると共に、選択アドレスに応じて対応する接続点が選択されるので、記憶セルごとに共通線路上の接続点が異なっても、リファレンスセルは記憶セルに接続される第 2 負荷に対応する第 1 負荷を有する負荷要素群の接続点に接続される。

【 0 0 2 5 】

また、請求項 5 に係る半導体記憶装置は、請求項 3 に記載の半導体記憶装置において、両端部が共通端子に接続され、2 のべき乗数の記憶セルが等間隔に接続

される共通線路を備え、負荷要素群は、記憶セルが接続される共通線路上の隣接接続点間の第1負荷要素を、2のべき乗数ごとに順次加算して得られる所定数の第2負荷要素を、直列接続した第1負荷要素群と、第1負荷要素群から最大負荷の第2負荷要素を除いた第2負荷要素群とを備え、選択部は、第1および第2負荷要素群のうち相互に対応する第2負荷要素を排他的に選択することを特徴とする。

【0026】

第1および第2負荷要素群により負荷要素群が構成されている。第1および第2負荷要素群を構成する第2負荷要素の個数を各々 $(N+1)$ 個および (N) 個とすると、第1負荷要素群は、第1負荷要素を、 2^0 個、 2^1 個、 2^2 個、 \dots 、 $2^{(N-1)}$ 個、 2^N 個ごとに纏めて得られる $(N+1)$ 個の第2負荷要素が直列接続されて構成され、第2負荷要素群は、第1負荷要素を、 2^0 個、 2^1 個、 2^2 個、 \dots 、 $2^{(N-1)}$ 個ごとに纏めて得られる (N) 個の第2負荷要素が直列接続されて構成される。第1負荷要素群のうちの 2^0 個、 2^1 個、 2^2 個、 \dots 、 $2^{(N-1)}$ 個の第1負荷要素を纏めた (N) 個の第2負荷要素と、第2負荷要素群の (N) 個の第2負荷要素とは、選択部により、対応する第2負荷要素が排他的に選択される。

【0027】

これにより、各々 (N) 個の第2負荷要素を互いに排他的に選択することにより、選択される記憶セルの共通線路への接続点を境界にして、共通線路の各々の端部に向かう共通線路上の負荷と等価な負荷を構成してリファレンスセルに接続することができる。共通線路の第1負荷要素を2のべき乗数ごとに纏めて得られる第2負荷要素を負荷要素群に備えることにより、少ない負荷要素数と小規模な選択部の構成とにより、共通線路の各接続点の負荷と等価な負荷を有する負荷調整部を備えることができる。

【0028】

また、請求項6に係る半導体記憶装置は、請求項1乃至5の少なくともいずれか1項に記載の半導体記憶装置において、各々、複数の記憶セルが接続されている第1および第2ディジット線と、第1ディジット線を介して、非選択の記憶セ

ルのみが接続される第 1 データ線と、第 2 デジタル線を通じて、選択される記憶セルが接続される第 2 データ線と、1 のリファレンスセルと荷調整部とを備え、第 1 データ線に接続される第 1 ロード部と、第 1 ロード部と同等な構成を有し、第 2 データ線に接続される第 2 ロード部とを備え、第 1 及び第 2 データ線を 1 対として、読み出し動作を行なうことを特徴とする。

【 0 0 2 9 】

請求項 6 の不揮発性半導体記憶装置では、非選択の記憶セルのみが接続される第 1 デジタル線は第 1 データ線に接続され、選択される記憶セルが第 2 デジタル線を通じて第 2 データ線に接続され、両データ線を 1 対として、記憶セルのデータの読み出しが行われる。第 1 及び第 2 データ線には、各々、第 1 及び第 2 ロード部が接続され、第 1 ロード部には記憶セルから第 2 ロード部に至る経路にある負荷と等価な負荷が備えられ、第 2 ロード部には記憶セルから第 1 ロード部に至る経路にある負荷と等価な負荷が備えられている。更に、第 1 および第 2 ロード部にはデータ読み出しの際の基準値を供給する 1 つのリファレンスセルおよび荷調整部が備えられており、第 1 ロード部から第 1 データ線に、記憶セルの選択アドレスに応じた基準値が供給される。

【 0 0 3 0 】

これにより、第 1 ロード部から供給される基準値の経路上の負荷としての第 1 デジタル線、第 1 データ線、および第 1 ロード部自身と、選択される記憶セルからのデータ経路上の負荷としての第 2 デジタル線、第 2 データ線、および第 2 ロード部自身とをバランスさせることができる。更に、選択アドレスに応じて選択される記憶セルごとに異なるデータ経路が形成されて第 2 デジタル線に接続される第 2 負荷は、第 1 ロード部に備えられる荷調整部により選択アドレスに応じて調整される第 1 負荷によりバランスされる。非選択の記憶セルのみが接続される第 1 デジタル線には接続されず、記憶セルが選択される第 2 デジタル線に対して接続される第 2 負荷についても、記憶セルを選択する選択アドレスにより、記憶セルごとの第 2 負荷に応じた第 1 負荷がリファレンスセルに接続されるので、選択される記憶セルに関わらず、第 1 および第 2 データ線を 1 対としたデータの読み出しの際、基準値を的確に供給することができる。

-【0031】

また、請求項7に係る半導体記憶装置は、請求項1乃至5の少なくともいずれか1項に記載の半導体記憶装置において、各々、複数の記憶セルが接続されている第1および第2ディジット線と、第1ディジット線を介して、非選択の記憶セルのみが接続される第1データ線と、第2ディジット線を介して、選択される記憶セルが接続される第2データ線と、第1データ線に接続されて第1データ線に基準値を供給する第1ロード部と、第1ロード部と同等な構成を有し、第2データ線に接続される第2ロード部と、1のリファレンスセルと負荷調整部を含み、基準値に応じたレギュレート電圧を出力するレギュレータ部とを備え、第1及び第2ロード部は、レギュレート電圧により制御される第1及び第2負荷部を備えることを特徴とする。

【0032】

請求項7の不揮発性半導体記憶装置では、非選択の記憶セルのみが接続される第1ディジット線は第1データ線に接続され、選択される記憶セルが第2ディジット線を介して第2データ線に接続され、両データ線を1対として、記憶セルのデータの読み出しが行われる。第1及び第2データ線には、各々、第1及び第2ロード部が接続され、第1ロード部は、第1データ線に基準値を供給すると共に記憶セルから第2ロード部に至る経路にある負荷と等価な負荷が備えられ、第2ロード部は、記憶セルから第1ロード部に至る経路にある負荷と等価な負荷が備えられている。更に、レギュレータ部により、記憶セルの選択アドレスに応じた基準値がレギュレート電圧に変換されて第1および第2ロード部の第1および第2負荷部が制御され、選択アドレスに応じた基準値が供給される。

【0033】

これにより、第1ロード部から供給される基準値の経路上の負荷としての第1ディジット線、第1データ線、および第1ロード部自身と、選択される記憶セルからのデータ経路上の負荷としての第2ディジット線、第2データ線、および第2ロード部自身とをバランスさせることができる。更に、選択アドレスに応じて選択される記憶セルごとに異なるデータ経路が形成されて第2ディジット線に接続される第2負荷は、レギュレータ部に備えられる負荷調整部により選択アドレ

スに応じて調整される第1負荷によりバランスされる。非選択の記憶セルのみが接続される第1ディジット線には接続されず、記憶セルが選択される第2ディジット線に対して接続される第2負荷についても、記憶セルを選択する選択アドレスにより、記憶セルごとの第2負荷に応じた第1負荷がリファレンスセルに接続されるので、選択される記憶セルに関わらず、第1および第2データ線を1対としたデータの読み出しの際、基準値を的確に供給することができる。

【 0 0 3 4 】

また、リファレンス部は、第1および第2ロード部ごとに備える必要がなく、レギュレータ部に1つ備えられていればよい。半導体記憶装置が多ビット出力構成となり、多数の第1および第2データ線の対が必要となって各々に第1および第2ロード部が接続される場合にも、リファレンス部は1つ備えていればよく必要となるリファレンスセルは1つである。リファレンスセルを多数備える場合に必要となるセル間の特性バラツキを調整する必要もなく好都合である。

【 0 0 3 5 】

また、請求項8に係る半導体記憶装置は、請求項1乃至7の少なくともいずれか1項に記載の半導体記憶装置において、複数の読み出し動作モードのうちの所定の読み出し動作モードについて、1のリファレンスセルおよび負荷調整部を備えることを特徴とする。

【 0 0 3 6 】

また、請求項9に係る半導体記憶装置は、請求項8に記載の半導体記憶装置において、1のリファレンスセルおよび負荷調整部を備えるべき読み出し動作モードが2以上ある場合、負荷調整部は、読み出し動作モード間で共用されることを特徴とする。

【 0 0 3 7 】

これにより、記憶セルごとに異なる第2負荷が接続されることにより読み出し特性が悪影響を受ける読み出し動作モードについて、選択アドレスに応じて、リファレンスセルに接続される第1負荷を調整することができる。全ての読み出し動作モードについて十分な余裕度を有した読み出し特性を得ることができる。また、2以上の読み出し動作モードに対しては、各読み出し動作モードが同時に動

作することはないので、負荷調整部を共用することができ、回路規模を圧縮することができる。

【 0 0 3 8 】

また、請求項 1 0 に係る半導体記憶装置は、請求項 8 に記載の半導体記憶装置において、半導体記憶装置は、不揮発性半導体記憶装置であり、所定の読み出し動作モードは、データ読み出しモード、または、データ読み出しモードと、プログラム確認モードまたは消去確認モードのうちの少なくとも何れか一方の読み出し動作モードとであることを特徴とする。

【 0 0 3 9 】

不揮発性半導体記憶装置において、記憶セルおよびリファレンスセルが不揮発性トランジスタを備えて構成される場合、記憶セルごとに異なる第 2 負荷が不揮発性トランジスタのソース端子にソース抵抗として接続されることにより、ソース抵抗に流れるソース電流が大きくなるほどソース抵抗に応じて大きな電圧降下が発生し、不揮発性トランジスタのバイアス電圧が変化してトランジスタの電圧電流特性が変動を受ける。従って、比較的大きな電流領域において読み出し動作が行なわれる可能性のある、データ読み出しモード、または、データ読み出しモードおよびプログラム確認モードにおいて、リファレンスセルに接続される第 1 負荷の調整をすることができれば、記憶セルのトランジスタとリファレンスセルのトランジスタとの電圧電流特性を大電流領域においても合わせることができる。

また、比較的大きな電流領域において消去確認モードが行なわれる場合には、消去確認モードについても、リファレンスセルに接続される第 1 負荷の調整をすることができれば、記憶セルのトランジスタとリファレンスセルのトランジスタとの電圧電流特性を大電流領域においても合わせることができる。

【 0 0 4 0 】

図 1 に本発明の原理図を示す。メモリセルアレイ 3 からアドレス Y (X) により選択された記憶セルがデータ線 D B に接続されてデータが読み出される。データ線 D B に読み出されたデータは、リファレンス部 2 からリファレンス線 R B に供給される基準値と比較され、差動増幅器 4 において差動増幅される。

【 0 0 4 1 】

リファレンス部 2 は、1 つのリファレンスセル R C と、リファレンスセル R C のソース端子に接続される負荷調整部 1 を備えて構成されている。負荷調整部 1 は、メモリセルアレイ 3 内の記憶セルを選択するアドレス Y (X) によりリファレンスセル R C のソース端子に接続される負荷が調整される。負荷調整部 1 は、メモリセルアレイ 3 内の記憶セルの配置に応じて記憶セルごとにソース端子に接続される負荷に応じてリファレンスセル R C のソース端子に接続される負荷を調整する機能を有している。

【 0 0 4 2 】

これにより、アドレス Y (X) に応じて選択される記憶セルのソース端子に接続されている負荷と等価な負荷をリファレンスセルのソース端子に接続することができ、選択される記憶セルに応じて、常に的確な基準値が供給される。

【 0 0 4 3 】

【発明の実施の形態】

以下、本発明の半導体記憶装置について具体化した第 1 乃至第 8 実施形態を図 2 乃至図 1 6 に基づき図面を参照しつつ詳細に説明する。尚、第 1 乃至第 8 実施形態においては、半導体記憶装置として不揮発性メモリを例にとり説明する。

【 0 0 4 4 】

図 2 に示す第 1 実施形態の回路図では、メモリセルアレイ 3 1 から差動増幅器 4 へはデータ電流 I d a t a のデータ経路としてデータ線 D B が備えられ、リファレンス部 2 1 から差動増幅器 4 へはリファレンス電流 I r e f の経路としてリファレンス線 R B が備えられている。

【 0 0 4 5 】

メモリセルアレイ 3 1 は、記憶セルとして不揮発性トランジスタ M C 0 0 乃至 M C 2 n がマトリクス状に配置されている。行方向には、X デコーダ 1 1 によりデコードされた行アドレス X (0) 乃至 X (2) が、不揮発性トランジスタ M C 0 0 乃至 M C 0 n 、 M C 1 0 乃至 M C 1 n 、 M C 2 0 乃至 M C 2 n のゲート端子に接続されている。

【 0 0 4 6 】

不揮発性トランジスタのドレイン端子は、図 2 に示す行アドレス $X(0)$ と $X(1)$ のように、行アドレス方向に隣接する不揮発性トランジスタ間で共通接続されると共に、列アドレス $Y(0)$ 乃至 $Y(n)$ により識別されて各トランジスタ $MC \times 0$ 乃至 $MC \times n$ のドレイン端子が各ビット線 $BL0$ 乃至 BLn に接続されている。ここで、 $x = 0, 1, 2$ である。

【 0 0 4 7 】

ソース端子は、図 2 に示す行アドレス $X(1)$ と $X(2)$ のように、行アドレス方向に隣接するトランジスタ間で共通接続されると共に、列アドレス方向に共通線 $CL0$ 、 $CL1$ で共通接続されている。各共通線 $CL0$ 、 $CL1$ は、その両端部で基準電圧 VSS に接続されている。図 2 には、列方向に隣接するソース端子の接続点間あるいは両端部と隣接する接続点との間に、抵抗 $R0$ 乃至 $R(n+1)$ が図示されている。これは共通線 $CL0$ 、 $CL1$ の配線抵抗を明示的に表現したものであり抵抗素子が接続されているわけではない。

【 0 0 4 8 】

各ビット線 $BL0$ 乃至 BLn は、列デコーダ 12 から出力される列アドレス $Y(0)$ 乃至 $Y(n)$ によりゲート端子が制御される各 MOS トランジスタ $MY(0)$ 乃至 $MY(n)$ のソース端子に接続されている。MOS トランジスタ $MY(0)$ 乃至 $MY(n)$ のドレイン端子は共通に接続され、MOS トランジスタ $MZ(0)$ のソース端子に接続されている。列アドレス $Y(0)$ 乃至 $Y(n)$ によりビット線 $BL0$ 乃至 BLn のうちの何れか一本が選択されて対応する不揮発性トランジスタが選択される。MOS トランジスタ $MZ(0)$ のドレイン端子は、MOS トランジスタ $MZ(1)$ のドレイン端子と共通に接続されてデータ線 DB を構成している。MOS トランジスタ $MZ(0)$ 、 $MZ(1)$ のゲート端子を制御する信号 $Z(0)$ 、 $Z(1)$ は、例えばセクタアドレスであり、メモリセルアレイ 31 内でデータアクセスを行なうセクタを選択する信号である。

【 0 0 4 9 】

メモリセルアレイ 31 内の記憶セルからデータの読み出しを行なう場合には、行アドレス $X(0)$ 乃至 $X(2)$ 、列アドレス $Y(0)$ 乃至 $Y(n)$ 、セクタアドレス $Z(0)$ 、 $Z(1)$ の各々を選択して読み出したいデータが記憶されてい

る不揮発性トランジスタを1つ選択する。ここでは、セクタアドレスとしてZ（0）が選択されているとして説明する。

【0050】

行アドレスX（0）乃至X（2）の選択により、いずれか一行の不揮発性トランジスタMC00乃至MC0n、MC10乃至MC1n、またはMC20乃至MC2nが選択され、これらのトランジスタを介してビット線BL0乃至BLnと基準電圧VSSとの間で電流経路が確立する。基準電圧VSSに接続されたビット線BL0乃至BLnのうちから1本のビット線を選択するために列アドレスY（0）乃至Y（n）による選択が行なわれる。これにより、データ線DBから、MOSトランジスタMZ（0）、MY（0）乃至MY（n）のうちのいずれか1つのトランジスタを介し、更に対応する不揮発性トランジスタを介して基準電圧VSSに到る電流経路が確立される。

【0051】

ここで注意すべきことは、選択される列アドレスY（0）乃至Y（n）に応じて、不揮発性トランジスタから基準電圧VSSに到る共通線CL0またはCL1の電流経路が異なるということである。

【0052】

例えば、列アドレスY（0）が選択される場合には、共通線CL0またはCL1の抵抗R0を介して基準電圧VSSに至る経路と、抵抗R1乃至R（n+1）を介して基準電圧VSSに至る経路とが存在し、合成抵抗値は、

$R(Y0) = R0 // (R1 + \dots + R(n+1))$ となる。また、列アドレスY（1）が選択される場合には、抵抗R0およびR1を介する経路と、抵抗R2乃至R（n+1）とが存在する。合成抵抗値は、

$R(Y1) = (R0 + R1) // (R2 + \dots + R(n+1))$ となる。以下同様に、選択される列アドレスに応じて不揮発性トランジスタと基準電圧VSSとの間に接続される抵抗値が異なることとなる。

【0053】

ここで、接続される抵抗値は、不揮発性トランジスタのソース抵抗となるため、不揮発性トランジスタを介してデータ電流Idataが流れる際に、不揮発性

トランジスタの電圧電流特性が変調されてしまうという問題がある。流れる電流が多いほど、ソース抵抗による電圧降下は大きなものとなり、不揮発性トランジスタへの電圧バイアスを減ずる方向に作用する。この効果が選択される不揮発性トランジスタの位置に応じて異なるため、位置、すなわち列アドレス $Y(0)$ 乃至 $Y(n)$ に応じてリファレンス電流 I_{ref} に補正をかけることにより、共通線 $CL0$ 、 $CL1$ の配線抵抗による変調効果を相殺する必要がある。

【0054】

リファレンス部 21 は、メモリセルアレイ 31 の共通線 $CL0$ 、 $CL1$ の配線抵抗による変調効果を相殺する機能を、必要最小限のリファレンスセル数である 1 つのリファレンスセル RC で実現している。

【0055】

リファレンス線 RB は、セクタアドレス $Z(0)$ 、 $Z(1)$ により選択される MOS トランジスタ $MZ(0)$ または $MZ(1)$ と等価な MOS トランジスタ MZ に接続され、 MOS トランジスタ MZ は、行アドレス $Y(0)$ 乃至 $Y(n)$ により選択される $MY(0)$ 乃至 $MY(n)$ の何れか 1 つと等価な MOS トランジスタ MY が接続されている。各々の MOS トランジスタ MZ 、 MY のゲート端子は Z_{ref} 、 Y_{ref} 信号により制御される。ここで、 Z_{ref} 、 Y_{ref} 信号としてデータの読み出しに応じて活性化される信号を使用すれば MOS トランジスタ MZ 、 MY をデータの読み出しに同期して制御することができる。また電源電圧 VCC に固定すれば MOS トランジスタ MZ 、 MY を常時オン状態に維持することができる。何れの方法でも、 MOS トランジスタ MZ 、 MY をメモリセルアレイ 31 における、 MOS トランジスタ $MZ(0)$ または $MZ(1)$ 、および $MY(0)$ 乃至 $MY(n)$ と等価な負荷とすることができる。

【0056】

MOS トランジスタ MY は、 X_{ref} 信号により制御されるリファレンスセル RC のドレイン端子に接続される。リファレンスセル RC は、メモリセルアレイ 31 に多数配置されている記憶セルの不揮発性トランジスタと等価な不揮発性トランジスタである。メモリセルアレイ 31 に配置される不揮発性トランジスタはトランジスタ特性として同等の特性を有して構成されることが一般的であるため

、リファレンスセルRCとしては1つの不揮発性トランジスタを備えることにより構成することができる。ここで、Xref信号は、Zref、Yref信号と同様に、データの読み出しに応じて活性化される信号でも電源電圧VCC等の固定電圧信号でもよい。

【0057】

リファレンスセルRCのソース端子は、負荷調整部1Aを介して基準電圧VSSに接続される。負荷調整部1Aがメモリセルアレイ31における共通線CL0、CL1の配線抵抗による変調効果を相殺する構成である。

【0058】

リファレンスセルRCのソース端子は、行アドレスY(0)乃至Y(n)に制御され、選択部を構成する選択トランジスタMS(0)乃至MS(n)の各ドレイン端子に接続される。選択トランジスタMS(0)乃至MS(n)の各ソース端子は、共通線CL0、CL1と等価な構成を有する、基準電圧VSSの両端部間を直列接続された抵抗R0乃至R(n+1)で繋いだ負荷要素群の各端子に接続されている。負荷要素群の各端子は、共通線CL0、CL1の各接続点に対応しており、各端子から基準電圧VSSに至る抵抗値が、各接続点から基準電圧VSSに至る抵抗値と等価に構成されている。

【0059】

ここで、負荷要素群を構成する抵抗R0乃至R(n+1)は、共通線CL0、CL1の各抵抗R0乃至R(n+1)と等価な抵抗値を有する抵抗素子により構成することができる。また、抵抗素子等を備えることに代えて、共通線CL0、CL1と同等な配線抵抗を有する配線材料を使用して同等の形状・長さで構成することもできる。更に、上記の抵抗素子と配線材料とを併用して構成することもできる。

【0060】

更に、選択部における選択トランジスタMS(0)乃至MS(n)と、メモリセルアレイ31におけるMOSトランジスタMY(0)乃至MY(n)とは、同一の列アドレスY(0)乃至Y(n)により選択される。そのため、列アドレスにより選択される記憶セルの不揮発性トランジスタのソース端子に接続される抵

抗と、リファレンスセルRCのソース端子に接続される抵抗とは、列アドレスに関わりなく常に等価な抵抗値を有することとなる。

【 0 0 6 1 】

データ電流 I_{data} が流れるデータ経路とリファレンス電流 I_{ref} が流れる経路とは常に配線抵抗が等価に維持される。このため、書き込まれたデータに応じた閾値電圧の設定になっている記憶セルの不揮発性トランジスタと、リファレンス電流 I_{ref} を流す閾値電圧の設定に維持されているリファレンスセルRCとの電圧電流特性の差に応じた電流差が、データ電流 I_{data} とリファレンス電流 I_{ref} として流される。データの読み出し時に差動増幅器4において差動増幅される電流差が、選択される記憶セルに関わらず常に両トランジスタの電圧電流特性差に応じた差となり、常時、十分なデータ読み出し余裕を確保することができる。

【 0 0 6 2 】

ここで、選択部を構成する選択トランジスタMS(0)乃至MS(n)のオン抵抗は僅少であり、共通線CL0、CL1および負荷要素群に付加されている抵抗R0乃至R(n+1)に対して無視できるものとして説明した。しかしながら、不揮発性トランジスタを備えるメモリセルアレイ31においては、読み出し動作に加えて、消去動作やプログラム動作を備えることが一般的であり、動作モードによっては不揮発性トランジスタのソース端子に印加すべき電圧を基準電圧VSS以外の電圧にする必要がある。そのため、共通線CL0、CL1と基準電圧VSSとの間に図示しないMOSトランジスタを備え、共通線CL0、CL1を介して不揮発性トランジスタのソース端子に印加される電圧を制御することが行なわれる。従って、共通線CL0、CL1から基準電圧VSSに至る経路にMOSトランジスタのオン抵抗が挿入されることとなり、このオン抵抗と選択トランジスタMS(0)乃至MS(n)のオン抵抗とを等価の抵抗値にして設定してやれば両者の電流系路上の抵抗値を更に一致させることができる。

【 0 0 6 3 】

第1実施形態によれば、リファレンス部21に備えるべきリファレンスセルRCの数を1つとして必要最小限の数にしながら、列アドレスY(0)乃至Y(n

）に応じて第 1 負荷である負荷調整部 1 A の負荷を調整することにより、個々の記憶セルに応じたリファレンス電流 I_{ref} の供給を行なうことができる。

【 0 0 6 4 】

リファレンス部 2 1 に備えられるリファレンスセル RC の数は 1 つであり必要最小限の数に抑制されるので、動作不良が発生するリファレンスセルの確率を低減することができ、リファレンス部 2 1 の冗長構成を備えなくとも、リファレンスセル RC の動作不良に伴う製造時の歩留まり低下を抑制することができる。また、リファレンス部 2 1 の冗長構成を備えることによるチップサイズの増大の懸念もない。

【 0 0 6 5 】

また、リファレンス部 2 1 に備えられるリファレンスセルの数が必要最小限であることから、複数のリファレンス部がある場合にも、個々のリファレンスセルの動作特性のばらつきの広がりを小さく抑えることができる。動作特性のばらつきの少ないリファレンスセルで各々のリファレンス部を構成することができ、リファレンス部ごとのリファレンス電流 I_{ref} のばらつきが抑制され、読み出し時の動作余裕を確保することができる。

【 0 0 6 6 】

更に、出荷試験時等における、リファレンスセルごとの閾値電圧の調整も必要最小限の時間で完了することができ、試験時間の短縮を図ることができる。

【 0 0 6 7 】

また、記憶セルの不揮発性トランジスタのソース抵抗である第 2 負荷に応じて、リファレンスセル RC のソース抵抗として第 1 負荷を接続することができる。記憶セルおよびリファレンスセルの動作特性の基本となるソース端子の電気的狀態を、記憶セルごとに異なるソース抵抗に関わらず所定の関係に調整することができ、記憶セルからの読み出しデータに適合したリファレンス電流 I_{ref} を常時供給することができる。

【 0 0 6 8 】

記憶セルおよびリファレンスセルが MOS トランジスタ等の電圧制御のトランジスタを備えて構成される場合、ソース抵抗に流れるソース電流に応じてラン

ジスタのバイアス電圧が変化し、電圧電流特性等の動作特性が変化することがあるが、リファレンスセルのソース端子に記憶セルのソース抵抗に応じた第 1 負荷を接続するので、両セルへのバイアス電圧の変化量に相関を持たせることができる。

【 0 0 6 9 】

また、共通線 CL 0、CL 1 上の個々の接続点から共通端子である基準電圧 VSS に到る経路が記憶セルごとに異なる場合にも、負荷要素群を構成する抵抗 R 0 乃至 R (n + 1) が共通線 CL 0、CL 1 と等価な負荷分布を有すると共に、対応する接続点が選択アドレスに応じて選択トランジスタ MS (0) 乃至 MS (n) により選択されるので、記憶セルごとに共通線 CL 0、CL 1 の接続点が異なっているとしても、リファレンスセル RC は、記憶セルに接続される第 2 負荷に対応する第 1 負荷を有する負荷要素群の接続点に接続される。

【 0 0 7 0 】

尚、以上に説明した効果は、以下に説明する第 2 乃至第 8 実施形態においても同様に当てはまる。

【 0 0 7 1 】

図 3 に示す第 2 実施形態では、第 1 実施形態 (図 2) のリファレンス部 2 1 に代えて、負荷調整部 1 B を有するリファレンス部 2 2 を備える構成である。

【 0 0 7 2 】

負荷調整部 1 B は、負荷調整部 1 A (図 1) の負荷要素群を構成する抵抗 R 0 乃至 R (n + 1) に代えて、負荷要素群として抵抗 R 0 乃至 R (n / 2) および RHF を備えている。ここで、抵抗 RHF は、 $RHF = R (n / 2 + 1) + \cdots + R_n$ である。負荷要素群として共通線 CL 0、CL 1 の中間点までの抵抗 R 0 乃至 R (n / 2) と等価な抵抗 R 0 乃至 R (n / 2) を備えると共に、中間点以降の抵抗 R (n / 2 + 1) 乃至 R n については抵抗 RHF として纏めた構成である。共通線 CL 0、CL 1 の各接続点が等間隔で配置されており、接続点間の各抵抗 R 1 乃至 R n が等価な抵抗値を有すると共に、両端部の抵抗 R 0、R (n + 1) も等価な抵抗値を有する場合に適用することができる。

【 0 0 7 3 】

負荷要素群 R_0 乃至 R_{HF} 間の各端子は、選択トランジスタ $MS(0)$ 乃至 $MS(n/2)$ が接続されリファレンスセル RC に選択的に接続される。共通線 CL_0 、 CL_1 の各接続点が等間隔で配置され、両端部から等距離の接続点で同一の構成を有している。このため、負荷要素群の抵抗 R_0 乃至 $R(n/2)$ 間の各端子を接続する選択トランジスタ $MS(0)$ 乃至 $MS(n/2)$ の制御信号は、共通線 CL_0 、 CL_1 の両端子から等距離の接続点を選択する列アドレスのペア $(Y(0) \text{ と } Y(n))$ 、 $(Y(1) \text{ と } Y(n-1))$ 、 $(Y(2) \text{ と } Y(n-2))$ 、 \dots 、 $(Y(n/2) \text{ と } Y(n/2+1))$ の論理和信号として供給され、何れか一方のアドレスで選択される。

【 0 0 7 4 】

第 2 実施形態によれば、更に次のような効果が得られる。記憶セルが共通線 CL_0 、 CL_1 に等間隔で接続されている場合に、リファレンス部 2 2 の選択部と負荷要素群との構成素子数を第 1 実施形態の場合に比して略半分に削減することができ、コンパクトな回路構成で負荷調整部 1 B を構成することができる。小規模な回路構成で記憶セルの配置位置に依存せず常に十分なデータ読み出し余裕を確保することが可能なリファレンス部 2 2 を構成することができる。

【 0 0 7 5 】

図 4 に示す第 3 実施形態では、第 2 実施形態（図 3）のリファレンス部 2 2 に代えて、負荷調整部 1 C を有するリファレンス部 2 3 を備える構成である。

【 0 0 7 6 】

負荷調整部 1 C は、負荷調整部 1 B（図 3）の負荷要素群における、基準電圧 V_{SS} 間に備えられる抵抗 R_0 乃至 $R(n/2)$ 、 R_{HF} に代えて、負荷要素群としてリファレンスセル RC と基準電圧 V_{SS} との間に直列に抵抗 $RA(0)$ 乃至 $RA(n/2)$ を備えている。また、選択トランジスタ $MS(0)$ 乃至 $MS(n/2-1)$ が、各抵抗 $RA(0)$ 乃至 $RA(n/2)$ 間の端子間と基準電圧 V_{SS} との間に備えられていると共に、選択トランジスタ $MS(n/2)$ が、抵抗 $RA(n/2)$ の他端子と基準電圧 V_{SS} との間に備えられている。各選択トランジスタ $MS(0)$ 乃至 $MS(n/2)$ のゲート端子は、第 2 実施形態の場合と同様に制御される。第 3 実施形態は第 2 実施形態と同様に、共通線 CL_0 、 CL_1

1 の各接続点が等間隔で配置されており、接続点間の R_1 乃至 R_n が等価な抵抗値を有すると共に、両端部の抵抗 R_0 、 $R_{(n+1)}$ も等価な抵抗値を有する場合に適用することができる。

【0077】

負荷要素群の各抵抗 $RA(0)$ 乃至 $RA(n/2)$ は、共通線 CL_0 、 CL_1 の両端部からの接続点の位置に応じて、順次加算されて接続される。すなわち、例えば、列アドレス $Y(0)$ または $Y(n)$ に対しては、抵抗 $RA(0)$ が選択され、 $RA(0) = R(Y_0) = R_0 / (R_1 + \dots + R_{(n+1)})$ となる。

列アドレス $Y(1)$ または $Y(n-1)$ に対しては、抵抗 $RA(0)$ と $RA(1)$ が接続され、 $RA(0) + RA(1) = R(Y_1) = (R_0 + R_1) / (R_2 + \dots + R_{(n+1)})$ となる。

列アドレス $Y(2)$ または $Y(n-2)$ に対しては、抵抗 $RA(0)$ 乃至 $RA(2)$ が接続され、 $RA(0) + RA(1) + RA(2) = R(Y_2) = (R_0 + R_1 + R_2) / (R_3 + \dots + R_{(n+1)})$ となる。

【0078】

図5に示す第4実施形態では、第3実施形態(図4)のリファレンス部23に代えて、負荷調整部1Dを有するリファレンス部24を備える構成である。

【0079】

負荷調整部1Dは、負荷調整部1C(図4)の負荷要素群における抵抗 $RA(0)$ 乃至 $RA(n/2)$ に代えて、負荷要素群として抵抗 $RB(0)$ 乃至 $RB(n/2)$ を備えている。また、選択トランジスタ $MS(0)$ 乃至 $MS(n/2)$ が、各抵抗 $RB(0)$ 乃至 $RB(n/2)$ の端子間に備えられている。各選択トランジスタ $MS(0)$ 乃至 $MS(n/2)$ のゲート端子は、第2および第3実施形態とは異なり、列アドレスのペア $(Y(0)$ と $Y(n))$ 、 $(Y(1)$ と $Y(n-1))$ 、 $(Y(2)$ と $Y(n-2))$ 、 \dots 、 $(Y(n/2)$ と $Y(n/2+1))$ の論理和信号の反転信号で制御される。このとき、各々の選択トランジスタ $MS(0)$ 乃至 $MS(n/2)$ が導通して抵抗 $RB(0)$ 乃至 $RB(n/2)$ を短絡する。従って、抵抗 $RB(0)$ 乃至 $RB(n/2)$ が電流経路に挿入

されるのは、列アドレス $(Y(0) \text{ と } Y(n))$ 、 $(Y(1) \text{ と } Y(n-1))$ 、 $(Y(2) \text{ と } Y(n-2))$ 、 \dots 、 $(Y(n/2) \text{ と } Y(n/2+1))$ が選択される場合となる。

【 0 0 8 0 】

第 4 実施形態も第 2 および第 3 実施形態と同様に、共通線 $CL0$ 、 $CL1$ の各接続点が等間隔で配置されており、接続点間の $R1$ 乃至 Rn が等価な抵抗値を有すると共に、両端部の抵抗 $R0$ 、 $R(n+1)$ も等価な抵抗値を有する場合に適用することができる。

【 0 0 8 1 】

負荷要素群の各抵抗 $RB(0)$ 乃至 $RB(n/2)$ は、共通線 $CL0$ 、 $CL1$ の接続点と両端部との抵抗と等価となる。すなわち、例えば、列アドレス $Y(0)$ または $Y(n)$ に対しては、抵抗 $RB(0)$ が選択され、 $RB(0) = R(Y0) = R0 // (R1 + \dots + R(n+1))$ となる。

列アドレス $Y(1)$ または $Y(n-1)$ に対しては、抵抗 $RB(1)$ が選択され、 $RB(1) = R(Y1) = (R0 + R1) // (R2 + \dots + R(n+1))$ となる。

列アドレス $Y(2)$ または $Y(n-2)$ に対しては、抵抗 $RB(2)$ が選択され、 $RB(2) = R(Y2) = (R0 + R1 + R2) // (R3 + \dots + R(n+1))$ となる。

【 0 0 8 2 】

図 6 に示す第 5 実施形態では、第 3 実施形態 (図 4) のリファレンス部 23 に代えて、負荷調整部 1E を有するリファレンス部 25 を備える構成である。

【 0 0 8 3 】

負荷調整部 1E は、負荷調整部 1C (図 4) の選択トランジスタ $MS(0)$ 乃至 $MS(n/2)$ に代えて、各抵抗 $RA(0)$ 乃至 $RA(n/2)$ の端子間に選択トランジスタ $MS(0)$ 乃至 $MS(n/2)$ が備えられている。各選択トランジスタ $MS(0)$ 乃至 $MS(n/2)$ のゲート端子は、選択トランジスタ $MS(n/2)$ のゲート端子が列アドレス $(Y(n/2) \text{ と } Y(n/2+1))$ の論理和信号で制御されると共に、以下、順次論理和信号を加えて論理積をとった信号

で制御される。このとき、各々の選択トランジスタ $MS(0)$ 乃至 $MS(n/2)$ が導通して抵抗 $RB(0)$ 乃至 $RB(n/2)$ を短絡する。従って、第3実施形態と同様に、共通線 $CL0$ 、 $CL1$ の両端部からの接続点の位置に応じて、抵抗 $RB(0)$ 乃至 $RB(n/2)$ が順次加算されて電流経路に挿入される。

【0084】

図8に示す第6実施形態では、負荷調整部1Fを有するリファレンス部26を備える構成である。

【0085】

第6実施形態の説明に先立ち、負荷調整部1Fの構成を適用するメモリセルアレイ32を図7に示す。図7では、記憶セル用の不揮発性トランジスタ $MC0$ 乃至 $MC15$ の16組の記憶セルが行アドレスXで制御される。

【0086】

各不揮発性トランジスタ $MC0$ 乃至 $MC15$ のソース端子は、共通線 CL 上に等間隔に備えられた接続点に接続されており、接続点間の抵抗 $R1$ 乃至 $R15$ は同一の抵抗値 R である。また、両端部 $VSS(L)$ 、 $VSS(R)$ から隣接する接続点への抵抗 $R0$ 、 $R16$ は、抵抗値 RE を有しているものとする。

【0087】

各不揮発性トランジスタ $MC0$ 乃至 $MC15$ のドレイン端子は、ビット線 $BL0$ 乃至 $BL7$ および $BL15$ 乃至 $BL8$ に接続されている。不揮発性トランジスタ $MC0$ 乃至 $MC15$ の付番と、接続されるビット線の付番との順序が異なっている。記憶セルをビット線に接続する列アドレス $A0$ 乃至 $A3$ のアドレッシングが単純な昇べき順には配置されておらず、列アドレス $A3$ の論理値が“0”と“1”とで切り替わる中間点で折り返す構成となっている。ここで、列アドレス $A0$ 乃至 $A3$ とは、列アドレス $Y(0)$ 乃至 $Y(n)$ にデコードされる前のアドレスである。

【0088】

次に、図8の第6実施形態について説明する。負荷調整部1Fは、第1乃至第5実施形態の負荷調整部1A乃至1Eに代えて、第1および第2負荷要素群として2組の抵抗列を備えている。

【 0 0 8 9 】

第 1 の抵抗列は抵抗 $RC(0)$ 乃至 $RC(3)$ が直列に接続されている。抵抗 $RC(0)$ 乃至 $RC(2)$ は、抵抗値 R を順次 2 のべき乗倍した抵抗値を有しており、各々の抵抗値は、 R 、 $2R$ 、 $4R$ である。抵抗 $RC(3)$ は、抵抗値 RE を有している。また、選択トランジスタ $MS(A0_)$ 乃至 $MS(A2_)$ が、各抵抗 $RC(0)$ 乃至 $RC(2)$ の端子間に備えられている。各選択トランジスタ $MS(A0_)$ 乃至 $MS(A2_)$ のゲート端子は、列アドレス $A(0)$ 乃至 $A(2)$ の反転信号で制御される。選択された列アドレス $A(0)$ 乃至 $A(2)$ で制御される選択トランジスタ $MS(A0_)$ 乃至 $MS(A2_)$ が非導通となり、抵抗 $RC(0)$ 乃至 $RC(2)$ を電流経路に挿入する。図 7 に示すように、列アドレス $A(0)$ 乃至 $A(2)$ に応じて記憶セルが選択されるが、この選択に合わせて電流経路が設定されることとなる。第 1 の抵抗列は、共通線 CL 上の記憶セル $MC7$ の接続点から端部 $VSS(L)$ に向かう電流経路、または記憶セル $MC8$ の接続点から端部 $VSS(R)$ に向かう電流経路上の配線抵抗と等価な抵抗を設定することができる。

【 0 0 9 0 】

第 2 の抵抗列は抵抗 $RC(4)$ 乃至 $RC(8)$ が直列に接続されている。抵抗 $RC(4)$ 乃至 $RC(6)$ は、抵抗 $RC(0)$ 乃至 $RC(2)$ と同様な構成を有しており、抵抗 $RC(7)$ は、更に 2 のべき乗倍された抵抗値 $8R$ を有している。抵抗 $RC(8)$ は、抵抗値 RE を有している。また、選択トランジスタ $MS(A0)$ 乃至 $MS(A2)$ が、選択トランジスタ $MS(A0_)$ 乃至 $MS(A2_)$ と同様に備えられている。但し、各選択トランジスタ $MS(A0)$ 乃至 $MS(A2)$ のゲート端子は、列アドレス $A(0)$ 乃至 $A(2)$ の正転信号で制御される。第 2 の抵抗列は第 1 の抵抗列とは逆に、選択された列アドレス $A(0)$ 乃至 $A(2)$ で制御される選択トランジスタ $MS(A0)$ 乃至 $MS(A2)$ が導通し、抵抗 $RC(4)$ 乃至 $RC(6)$ を短絡する。第 2 の抵抗列では、第 1 の抵抗列とは逆方向の電流経路の設定をすることができる。すなわち、共通線 CL 上の記憶セル $MC7$ の接続点から端部 $VSS(R)$ に向かう電流経路、または記憶セル $MC8$ の接続点から端部 $VSS(L)$ に向かう電流経路上の配線抵抗と等価な抵

抗を設定することができる。

【 0 0 9 1 】

従って、第 1 および第 2 抵抗列により、共通線 C L の各接続点から共通線 C L の両端部に向かう 2 つの電流経路上の配線抵抗を設定することができる。第 1 および第 2 抵抗列では、配線抵抗を接続点間の抵抗値 R を 2 のべき乗倍ごとにまとめて設定しているので、少数の抵抗で共通線 C L の各接続点から基準電圧 V S S への配線抵抗を設定することができる。

【 0 0 9 2 】

記憶セルが共通線 C L に等間隔で接続されている場合に、リファレンス部 2 6 の選択部と負荷要素群との構成素子数を第 2 乃至第 5 実施形態の場合に比して更に削減することができ、更にコンパクトな回路構成で負荷調整部 1 F を構成することができる。小規模な回路構成で記憶セルの配置位置に依存せず常に十分なデータ読み出し余裕を確保することが可能なリファレンス部 2 6 を構成することができる。

【 0 0 9 3 】

第 6 実施形態によれば、更に次のような効果が得られる。第 1 および第 2 負荷要素群である第 1 および第 2 の抵抗列 (R C (0) 乃至 R C (3) 、および R C (4) 乃至 R C (8)) により、第 2 負荷要素である各々の抵抗 R C (0) 乃至 R C (2) 、および R C (4) 乃至 R C (6) を互いに排他的に選択することにより、選択される記憶セルの共通線 C L (図 7) への接続点を境界にして、共通線 C L の各々の端部 V S S (L) 、 V S S (R) に向かう共通線 C L 上の負荷と等価な負荷を構成してリファレンスセル R C に接続することができる。共通線 C L の第 1 負荷要素である抵抗 R 1 乃至 R 1 5 を、2 のべき乗数ごとに纏めて得られる第 2 負荷要素を負荷要素群に備えることにより、少ない負荷要素数 R C (0) 乃至 R C (3) 、および R C (4) 乃至 R C (8) と、小規模な選択トランジスタ M S (A 0 _) 乃至 M S (A 2 _) 、および M S (A 0) 乃至 M S (A 2) 構成とにより、共通線 C L の各接続点のインピーダンスと等価なインピーダンスを有する負荷調整部 1 F を備えることができる。

【 0 0 9 4 】

図 9 の第 7 実施形態は、複数の読み出し動作モードを備える場合について、負荷調整部 1 を有する 1 つのリファレンス部 2 7 A と、固定の負荷抵抗 R_{ref} を有する複数のリファレンス部 2 7 B を備える場合を示している。各リファレンス部 2 7 A、2 7 B は、セクタ 1 (7 1) により読み出し動作モードに応じて選択され、リファレンス線 RB に接続される。尚、各々のリファレンス部 2 7 A、2 7 B に備えられているリファレンスセル RC 1、RC 2 は記憶セルと等価である。

【 0 0 9 5 】

不揮発性半導体記憶装置においては、通常の読み出し動作 (READ モード) の他、不揮発性トランジスタにデータが正しくプログラムされたか否かを確認するプログラム確認のための読み出し動作 (PGMV モード)、更に不揮発性トランジスタにプログラムされたデータを消去する際、正しく消去されたか否かを確認する消去確認のための読み出し動作 (ERV モード) 等の複数の読み出し動作モードを備える場合がある。ここで、PGMV モードや ERV モードは不揮発性トランジスタの閾値電圧を変化させる動作であるので、同一のゲート電圧を印加しても動作モード間で電圧電流特性が異なることとなる。従って、READ モードとは異なるリファレンス部を備えることが必要となり、動作モードごとに異なるリファレンスセルの電圧電流特性を設定する必要がある。

【 0 0 9 6 】

図 1 0 に示すように、リファレンスセルの電圧電流特性は、不揮発性トランジスタのフローティングゲートからキャリアを追い出す ERV モードでは、閾値電圧が浅い特性となる (図 1 0 の ERV カーブ)。これに対して、フローティングゲートにキャリアを注入する PGMV モードでは、閾値電圧が深い特性となる (図 1 0 の PGMV カーブ)。READ モードはこの中間の特性となる (図 1 0 の READ カーブ)。記憶セルの電圧電流特性は、消去動作による “1” が書き込まれた状態では、ERV カーブより閾値電圧が浅いカーブとなる。プログラム動作による “0” が書き込まれた状態では、PGMV カーブより閾値電圧が深いカーブとなる。ここで、記憶セルの電圧電流特性には 3 つの領域に分けられる。すなわち、ビット線におけるリーク電流が無視できない小電流領域 (図 1 0 の ①)

、ソース抵抗による影響が無視できない大電流領域（図 1 0 の③）、そして両領域の中間領域である中電流領域（図 1 0 の②）である。小電流領域（図 1 0 の①）は、電圧電流特性の傾きが緩やかであり、ソース抵抗が特性に影響を及ぼさない領域である。中電流領域（図 1 0 の②）は、ソース抵抗による影響はあるが無視できる領域である。大電流領域（図 1 0 の③）は、ソース抵抗による影響が大きな領域であり、ソース抵抗の違いにより同一電圧バイアスにおける電流値に大きな開きが出る領域である。

【 0 0 9 7 】

E R Vモードでは、記憶セルの領域②でE R Vカーブとの比較が行なわれるため、ソース抵抗によるデータ電流 I_{data} のばらつきは僅かであり、選択される記憶セルごとにソース抵抗が異なってもデータ電流 I_{data} とリファレンス電流 I_{ref} との電流差（図 1 0 の（I））は僅かとなる。リファレンス部 2 7 B を使用して同等な読み出し余裕度を有してE R V動作を行なうことができる。

【 0 0 9 8 】

これに対してR E A Dモードでは、記憶セルの領域③でR E A Dカーブとの比較が行なわれる。領域③は、ソース抵抗によるデータ電流 I_{data} のばらつきが大きく現われる領域である。この場合には列アドレス $Y(X)$ に応じてリファレンスセル $RC1$ のソース抵抗を調整することができる負荷調整部 1 を備えたリファレンス部 2 7 A を使用することによりデータ電流 I_{data} とリファレンス電流 I_{ref} との電流差（図 1 0 の（II））を記憶セルに関わらず等価とすることができる。これにより、選択される記憶セルごとにソース抵抗が異なっても、常に同等な読み出し余裕度を有してR E A D動作を行なうことができる。

【 0 0 9 9 】

P G M Vモードにおいて、記憶セルの領域①で比較が行なわれる場合は、記憶セルのソース抵抗の違いによる特性の違いは無視できるためソース抵抗によるデータ電流 I_{data} のばらつきは無視でき、選択される記憶セルごとにソース抵抗が異なってもデータ電流 I_{data} とリファレンス電流 I_{ref} との電流差（図 1 0 の（III））を無視することができる。リファレンス部 2 7 B を使

用して同等な読み出し余裕度を有して PGMV 動作を行なうことができる。

【0100】

領域①を越えて領域②更には領域③で比較が行なわれる場合には、ソース抵抗によるデータ電流 I_{data} のばらつきが大きく現われる。しかしながら、ソース抵抗の影響による電圧電流特性の変調は電流が制限される方向であり、データ電流 I_{data} とリファレンス電流 I_{ref} との電流差（図10の（III））が広がる方向となる。従って、この場合においてもリファレンス部27Bを使用して同等な読み出し余裕度を有してERV動作を行なうことができる。

【0101】

図11の第7実施形態の第1変形例は、複数の読み出し動作モードを備える場合について、負荷調整部1によりリファレンス電流 I_{ref} が調整されるリファレンス部27Cを複数備える場合を示している。リファレンス部27Cはリファレンス部27Aに代えて、セクタ2（72）により負荷調整部1を共用する構成である。セクタ2（72）はセクタ1（71）と同様に、読み出し動作モードに応じて接続すべきリファレンス部27Cを選択する。

【0102】

図10のPGMVモードにおいて領域③で比較が行なわれる場合、データ電流 I_{data} とリファレンス電流 I_{ref} との電流差を記憶セルに関わらず等価にするために、PGMVモードにおいても列アドレスY（X）に応じてリファレンスセルRC1のソース抵抗を調整することができる負荷調整部1を備えたリファレンス部27Cを使用すればよい。READモードとPGMVモードとは同時に動作することはないので、負荷調整部1を両モードで共用することができる。

【0103】

図12の第7実施形態の第2変形例は、第1変形例に加えてリファレンス部27Aを備える構成である。リファレンス部27Aは、READモード用に使用し、リファレンス部27Cは、PGMまたはERモードに使用する。複数バンク品においては、READモードとPGMまたはERモードとが、バンク間で同時に行なわれる場合がある。READモードについてはリファレンス部27Aを使用して、また、PGMまたはERモードについてはセクタ2（72）で切り替え

ることにより負荷調整部 1 を動作モードに応じたリファレンス部 2 7 C に接続して、各々の動作モードに応じてリファレンス電流 I_{ref} を的確に調整することができる。

【 0 1 0 4 】

第 7 実施形態によれば、更に次のような効果が得られる。記憶セルごとに異なる第 2 負荷が接続されることにより読み出し特性が悪影響を受ける読み出し動作モードについて、列アドレス $Y(X)$ に応じてリファレンスセル RC 1 に接続される第 1 負荷を調整することができるリファレンス部 2 7 A を備えることができる（図 9）。全ての読み出し動作モードについて十分な余裕度を有した読み出し特性を得ることができる。また、2 以上の読み出し動作モードに対して各々リファレンス部 2 7 C を備える場合、各リファレンス部 2 7 C が同時に動作することはないので、リファレンス部 2 7 C 間で負荷調整部 1 を共用することができる。リファレンス部の回路規模を圧縮することができる。

【 0 1 0 5 】

不揮発性半導体記憶装置において、記憶セルおよびリファレンスセルが不揮発性トランジスタを備えて構成される場合、記憶セルごとに異なる第 2 負荷が不揮発性トランジスタのソース端子にソース抵抗として接続されることにより、ソース抵抗に流れるソース電流が大きくなるほどソース抵抗に応じて大きな電圧降下が発生し、不揮発性トランジスタのバイアス電圧が変化してトランジスタの電圧電流特性が変動を受ける。従って、比較的大きな電流領域において読み出し動作が行なわれる可能性のある、READ モード、または、READ モードおよび PGMV モードにおいて、リファレンスセルに接続される第 1 負荷の調整をすることができ、記憶セルのトランジスタとリファレンスセルのトランジスタとの電圧電流特性を大電流領域においても合わせることができる。

【 0 1 0 6 】

また、ERV モードにおいて、記憶セルとの比較を行なう閾値電圧が、記憶セルの電圧電流特性についてソース抵抗による影響が無視できない大電流領域（図 10 の③）にある場合、READ モードにおけるリファレンスセルのソース端子に加えて、ERV モードにおけるリファレンスセルのソース端子にも負荷調整部

1 を接続することが有効である。これにより、E R V モードにおいてデータ電流 I_{data} とリファレンス電流 I_{ref} との電流差を記憶セルに関わらず等価とすることができる。

【 0 1 0 7 】

リファレンス電流 I_{ref} を供給するリファレンス部のうち、記憶セルに接続される配線負荷の違いによる影響を受ける動作モードについて、負荷調整部 1 を備えてやればよく、更に、負荷調整部 1 をリファレンスセル部間で共用することができる。小規模な回路構成により、選択される記憶セルに応じてリファレンスセルに接続される負荷を調整することができる。

【 0 1 0 8 】

図 1 2 乃至 1 6 に示す第 8 実施形態では、差動増幅器 4 に接続されるデータ電流 I_{data} とリファレンス電流 I_{ref} との電流経路の負荷の対称性を図った構成である。

【 0 1 0 9 】

図 1 2 に回路ブロック図を示す。メモリセルアレイ 3 3 は、2 つのセクタ $SEC0$ 、 $SEC1$ で構成されているものとする。セクタ $SEC0$ が選択され制御信号 $S0$ が活性化されて、スイッチトランジスタ $QS0$ が導通する。また、ワード線 $WL0$ により選択された記憶セル $MC00$ 乃至 $MC03$ が、各ローカルビット線 $LBL00$ 乃至 $LBL03$ と共通線 $CL00$ とを接続する。更に共通線 $CL00$ がスイッチトランジスタ $QS0$ を介して基準電圧 VSS に接続されデータ経路が形成される。ローカルビット線 $LBL00$ 乃至 $LBL03$ は、制御信号 $SECY00$ 乃至 $SECY03$ に選択されるセクタスイッチ $SS00$ 乃至 $SS03$ を介して、グローバルビット線 $GBL0$ または $GBL1$ に接続される。

【 0 1 1 0 】

セクタスイッチ $SS00$ 乃至 $SS03$ によるローカルビット線の選択に合わせて、制御信号 $SECY10$ 乃至 $SECY13$ が同時に活性化され、隣接する非選択のセクタ $SEC1$ 内の同様の位置関係にあるローカルビット線 $LBL10$ 乃至 $LBL13$ がグローバルビット線 $GBL1$ または $GBL0$ に接続される。非選択セクタ $SEC1$ 内のローカルビット線は、選択セクタ $SEC0$ 内のローカルビッ

ト線と同数の記憶セルが接続されており、セクタ内の位置関係も等価であるので、周囲環境との物理パラメータも等価であり、等価の負荷を有している。また、両ローカルビット線が接続されるグローバルビット線は、隣接配置されているので、周囲環境からの物理パラメータが等価である。

【 0 1 1 1 】

選択された記憶セルが接続されていないデータ線にリファレンス電流 I_{ref} を流すロード部 28 が接続される読み出し用のデータバス線 DB0、DB1 は、バス制御信号 PGC により制御されるパストランジスタ PG0、PG1 を介してグローバルビット線 GBL0、GBL1 に接続される。ロード部 28 は、データバス線 DB0、DB1 の各々に対して、負荷 LD、リファレンスセル RC(0)、RC(1)、スイッチトランジスタ QSL(0)、QSL(1) を備えている。更に、リファレンスセル RC(0)、RC(1) と、スイッチトランジスタ QSL(0)、QSL(1) との間には、列アドレス Y(x) に応じて調整される負荷調整部 1 が備えられている。

【 0 1 1 2 】

ここで、負荷 LD は、メモリセルアレイ 33 内のローカルビット線およびグローバルビット線からパストランジスタを介してデータバス線 DB0、DB1 に至る経路上に存在する負荷 LD と同等の負荷 LD である。また、負荷調整部 1 により調整される負荷は、選択される記憶セルのソース端子が接続される共通線の配線負荷と等価な負荷であり、選択される記憶セルの位置を指定する列アドレス Y(X) に応じて等価な負荷をリファレンスセルのソース端子に接続する。

【 0 1 1 3 】

図 13 にロード部の具体例 28A、28B を示す。データバス線 DB0、DB1 の各々に同等なロード部分が接続されている。各ロード部分は、リファレンスロード部 81、82 と、スイッチトランジスタ QSL0、QSL1 を有する選択スイッチ部 83、84 とを備えている。

【 0 1 1 4 】

リファレンスロード部 81、82 は、リファレンスセル RC(0)、RC(1) と、負荷 LD としてトランジスタ PGL0 と SSL0、PGL1 と SSL1 と

を備えて構成されている。ここで、トランジスタ $SSL0$ と $SSL1$ は、ローカルビット線とグローバルビット線とを接続するセクタスイッチ（図 12 における $SS00$ 乃至 $SS13$ ）と等価なトランジスタである。また、トランジスタ $PGL0$ と $PGL1$ は、パストランジスタ $PG0$ 、 $PG1$ と等価なトランジスタである。これらのトランジスタのゲートに電源電圧 VCC を印加することにより、ローカルビット線からデータバス線 $DB0$ 、 $DB1$ に至る経路に存在するトランジスタと等価な負荷 LD を構成している。尚、リファレンスセル $RC(0)$ 、 $RC(1)$ のゲート端子には、スイッチトランジスタ $QSL0$ 、 $QSL1$ を開閉制御するリファレンス選択信号 $Y01$ 、 $Y00$ 、あるいはこれらの信号と同相の信号により制御することができる。または、電源電圧 VCC を印加して常時導通状態としておくこともできる。

【0115】

ここで、リファレンス選択信号 $Y01$ 、 $Y00$ は、選択された記憶セルとのデータ経路が確立されるグローバルビット線 $GBL0$ 、 $GBL1$ に対する相補なグローバルビット線 $GBL1$ 、 $GBL0$ にリファレンス電流 I_{ref} を供給する信号である。グローバルビット線 $GBL0$ をデータ経路とする制御信号 $SECY00$ 、 01 、 12 、 13 の論理和出力として、論理和ゲート 86 からリファレンス選択信号 $Y00$ が選択され、グローバルビット線 $GBL1$ にリファレンス電流 I_{ref} を供給する。またグローバルビット線 $GBL1$ をデータ経路とする制御信号 $SECY02$ 、 03 、 10 、 11 の論理和出力として、論理和ゲート 85 からリファレンス選択信号 $Y01$ が選択され、グローバルビット線 $GBL0$ にリファレンス電流 I_{ref} を供給する。

【0116】

図 14 は第 8 実施形態の変形例である。ロード部 28 に代えて、ロード部 29 とロード部 29 を制御するレギュレータ部 30 を備えて構成される。

【0117】

ロード部 29 はロード部 29 と同様に、負荷 LD と、スイッチトランジスタ $QSL(0)$ 、 $QSL(1)$ を備えると共に、リファレンスセル $RC(0)$ 、 $RC(1)$ に代えて、電圧制御電流源 $IRF(0)$ 、 $IRF(1)$ を備えて構成され

る。また、レギュレータ部 3 0 は、リファレンスセル RC (2)、スイッチトランジスタ QSR0 とを有してリファレンス電流 I_{ref} を生成すると共に、リファレンス電流 I_{ref} を電圧値に変換する電流電圧変換部 8 7 を備えている。リファレンスセル RC (2) とスイッチトランジスタ QSR0 との間には、列アドレス Y (X) に応じて負荷が調整される負荷調整部 1 が備えられている。電流電圧変換部 8 7 から出力されるリファレンス電流 I_{ref} に応じたレギュレート電圧が電圧制御電流源 IRF (0)、IRF (1) を制御することにより、リファレンス電流 I_{ref} に相当する電流がロード部 2 9 から出力される。スイッチトランジスタ QSL (0)、QSL (1) は、ロード部 2 8 (図 1 2) と同様に択一的に選択される。一方、リファレンスセル RC (2) およびスイッチトランジスタ QSR0 は、読み出し動作においては常に選択され、常時リファレンス電流 I_{ref} を生成する。

【0118】

図 1 5 には、第 8 実施形態の変形例についての第 1 具体例を示す。ロード部 2 9 A は、ロード部 2 8 A、2 8 B (図 1 3) と同様に、リファレンスロード部 8 8、8 9 と、スイッチトランジスタ QSL0、QSL1 を有する選択スイッチ部 8 3、8 4 とを備えている。リファレンスロード部 8 8、8 9 はリファレンスロード部 8 1、8 2 とは異なり、リファレンスセル RC (0)、RC (1) に代えてレギュレート電圧 I_{bias} で制御される負荷トランジスタ QLL0、QLL1 が備えられている。尚、この負荷トランジスタ QLL0、QLL1 は、後述するレギュレータ部 3 0 A の負荷トランジスタ QLR0 と等価の構成である。

【0119】

リファレンスセル RC (2) を含むレギュレータ部 3 0 A には、選択スイッチ部 9 0、リファレンスロード部 9 1、およびバイアス部 9 2 を備えている。また、レギュレータ部 3 0 A は、リファレンス電流 I_{ref} を生成する基準電流生成部 (図 1 5 中、レギュレータ部 3 0 A の左側) と、リファレンス電流 I_{ref} をレギュレート電圧 I_{bias} に変換するレギュレート電圧生成部 (図 1 5 中、レギュレータ部 3 0 A の右側) で構成されている。

【0120】

選択スイッチ部 9 0 とリファレンスロード部 9 1 との間には、列アドレス Y (X) に応じて負荷が調整される負荷調整部 1 が備えられている。列アドレス Y (X) により選択される記憶セルに接続される配線負荷に応じた負荷をリファレンスセル RC (2) に接続する機能を有している。ここで、調整すべき負荷は、記憶セルのソース端子に接続される負荷に応じてリファレンスセルのソース端子に接続される負荷であり、負荷調整部 1 をリファレンスセルに備えてやればよい。また、レギュレータ部 3 0 A におけるリファレンス電流 I_{ref} の電流ミラー特性を確保するため、負荷トランジスタ Q_{LR0} にも備える構成としてもよい。

【 0 1 2 1 】

選択スイッチ部 9 0、リファレンスロード部 9 1 の構成は、ロード部 2 8 A、2 8 B の選択スイッチ部 8 3、8 4、リファレンスロード部 8 1、8 2 と基本的に同様である。異なる点は、選択スイッチ部 9 0 のスイッチトランジスタ Q_{SR0} 、 Q_{SR1} のゲート端子が電源電圧 V_{CC} に接続されている点、及びリファレンスロード部 9 1 のレギュレート電圧生成部において、リファレンスセルに代えて負荷トランジスタ Q_{LR0} が挿入されている点である。スイッチトランジスタ Q_{SR0} 、 Q_{SR1} への電源電圧 V_{CC} 印加は、読み出し時、レギュレータ部 3 0 A を常時活性化しておくためであり、負荷トランジスタ Q_{LR0} への置き換えは、レギュレート電圧 I_{bias} を生成するためである。バイアス部 9 2 は、基準電流生成部で生成したリファレンス電流 I_{ref} を、レギュレート電圧生成部にミラーするための電流ミラー部（トランジスタ Q_{MR0} 、 Q_{MR1} ）を備えている。

【 0 1 2 2 】

レギュレータ部 3 0 A のレギュレート電圧生成部において、ミラーされたリファレンス電流 I_{ref} に応じたレギュレート電圧 I_{bias} を生成するために、負荷トランジスタ Q_{LR0} のゲート端子と、電流ミラー部 Q_{MR1} のドレイン端子とが接続されている。電流ミラー部を構成するトランジスタ Q_{MR1} が飽和状態で動作している場合には、電流ミラー部のトランジスタ Q_{MR1} は高出力インピーダンス状態で動作する。ドレイン電圧に依存せずリファレンス電流 I_{ref} に略等しい電流に維持できるので、この電流 I_{ref} が負荷トランジスタ Q_{LR0}

R 0 にも流れるようにレギュレート電圧 I_bias が制御されることとなる。
このレギュレータ電圧 I_bias が、ロード部 2 9 A の負荷トランジスタ Q L L 0、Q L L 1 のゲート端子に入力される。

【 0 1 2 3 】

図 1 6 には、第 8 実施形態の変形例についての第 2 具体例を示す。基本的な構成については第 1 具体例（図 1 5）と同様であるので、ここでの説明は省略する。第 2 具体例では、レギュレート電圧 I_bias を生成するため、レギュレータ部 3 0 B にオペアンプ部 9 3 を備えている。オペアンプ部 9 3 は、入力差動対トランジスタ Q P 1、Q P 2 と能動負荷トランジスタ Q N 1、Q N 2 とで構成されており、スイッチトランジスタ Q N 3、Q N 4 で活性化されると、電流源トランジスタ Q P 3 からのバイアス電流が流れることによりオペアンプ動作を行っている。入力差動対トランジスタ Q P 1、Q P 2 には、リファレンスロード部 9 1 における記憶セルのドレイン電位と負荷トランジスタのドレイン電位とが入力されており、両電位が同等の電位になるようにレギュレート電圧 I_bias が制御される。

【 0 1 2 4 】

以上に説明したように、図 1 2 および図 1 3 の第 8 実施形態によれば、第 1 ロード部であるロード部 2 8 A または 2 8 B（図 1 3）はリファレンスロード部 8 1、8 2（図 1 3）がリファレンスセル R C（0）、R C（1）を含んでリファレンス電流 I_{ref} を供給する。経路上には、負荷として第 1 デジット線であるローカルビット線およびグローバルビット線 G B L 0 または G B L 1（図 1 2）、第 1 データ線であるデータバス線 D B 0 または D B 1（図 1 2）、およびロード部 2 8 A または 2 8 B 自身が接続されている。また、選択される記憶セルからのデータ経路には、経路上の負荷として第 2 デジット線であるローカルビット線およびグローバルビット線 G B L 1 または G B L 0（図 1 2）、第 2 データ線であるデータバス線 D B 1 または D B 0（図 1 2）、およびロード部 2 8 B または 2 8 A 自身が接続されている。両経路上の負荷が等価であることにより経路上の負荷をバランスさせることができる。

【 0 1 2 5 】

更に、列アドレス Y (X) に応じた記憶セルごとに異なるローカルビット線が第 2 デジタル線として接続され共通線 C L 0 0 上の配線抵抗である第 2 負荷が接続される。この第 2 負荷は、ロード部 2 8 A または 2 8 B に備えられる負荷調整部 1 において列アドレス Y (X) に応じて調整される第 1 負荷によりバランスされる。非選択の記憶セルのみが接続される第 1 デジタル線には接続されず、記憶セルが選択される第 2 デジタル線に対して接続される第 2 負荷についても、記憶セルを選択する列アドレス Y (X) に応じて、記憶セルごとの第 2 負荷に応じた第 1 負荷がロード部 2 8 A または 2 8 B に接続される。選択される記憶セルに関わらず、経路上に存在する負荷を記憶セル側とリファレンスセル側とで理想的に同等とすることができ、データバス線 D B 0 および D B 1 を 1 対としたデータの読み出しの際、リファレンス電流 I r e f を的確に供給することができる。

【 0 1 2 6 】

また、図 1 4 乃至図 1 6 の第 8 実施形態の変形例によれば、第 1 ロード部であるロード部 2 9 (図 1 4)、2 9 A (図 1 5、1 6) は、リファレンスロード部 8 8、8 9 (図 1 5) が負荷トランジスタ Q L L 0、Q L L 1 を含んでリファレンス電流 I r e f を供給する。経路上には、負荷として第 1 デジタル線であるローカルビット線およびグローバルビット線 G B L 0 または G B L 1 (図 1 4)、第 1 データ線であるデータバス線 D B 0 または D B 1 (図 1 4)、およびロード部 2 9、2 9 A 自身が接続されている。また、選択される記憶セルからのデータ経路には、経路上の負荷として第 2 デジタル線であるローカルビット線およびグローバルビット線 G B L 1 または G B L 0 (図 1 4)、第 2 データ線であるデータバス線 D B 1 または D B 0 (図 1 4)、およびロード部 2 9、2 9 A 自身が接続されている。両経路上の負荷が等価であることにより経路上の負荷をバランスさせることができる。

【 0 1 2 7 】

更に、列アドレス Y (X) に応じた記憶セルごとに異なるローカルビット線が第 2 デジタル線として接続され共通線 C L 0 0 上の配線抵抗である第 2 負荷が接続される。この第 2 負荷は、レギュレータ部 3 0 (図 1 4)、3 0 A (図 1 5

）、30B（図16）に備えられる負荷調整部1において列アドレスY（X）に応じて調整される第1負荷によりバランスされる。非選択の記憶セルのみが接続される第1ディジット線には接続されず、記憶セルが選択される第2ディジット線に対して接続される第2負荷についても、記憶セルを選択する列アドレスY（X）に応じて、記憶セルごとの第2負荷に応じた第1負荷が接続される。選択される記憶セルに関わらず、経路上に存在する負荷を記憶セル側とリファレンスセル側とで理想的に同等とすることができ、データバス線DB0およびDB1を1対としたデータの読み出しの際、リファレンス電流 I_{ref} を的確に供給することができる。

【0128】

また、負荷調整部1はロード部29、29Aごとに備える必要がなく、レギュレータ部30、30A、30Bに1つ備えられていればよい。半導体記憶装置が多ビット出力構成となり、多数のデータバス線対が必要となって各々にロード部29、29Aが接続される場合にも、負荷調整部1は1つ備えていればよく、必要となるリファレンスセルは1つである。リファレンスセルを多数備える場合に必要となるセル間の特性バラツキを調整する必要もなく好都合である。

【0129】

また、第8実施形態のその他の効果として以下の効果を得ることができる。すなわち、1対のグローバルビット線GBL0とGBL1が隣接して配置されるように設定すれば、一方のグローバルビット線に印加されたノイズは、他方のグローバルビット線にも伝播され隣接するグローバルビット線間で、同等のノイズが乗る。データバス線DB0、DB1間の負荷がバランスしていることと相俟って、読み出し動作において印加される同等のノイズの伝播または減衰特性も同等となりノイズの影響を相殺することができる。

【0130】

また、製造バラツキや、チップあるいはウェハ面内バラツキ等に関わらず、データバス線DB0、DB1を1対とする読み出し動作を確実にこなうことができる。

【0131】

また、リファレンスセルRC (0)、RC (1) (図12)、RC (2) (図14) は、メモリセルアレイ33とは異なる配置領域に配置することもできる。これにより、リファレンスセルRC (0)、RC (1)、RC (2) にはプログラム時等に記憶セルMC00乃至MC13に印加される電圧ストレスは印加されずリファレンスセルRC (0)、RC (1)、RC (2) の特性変動は招来されないため、安定したリファレンス電流I_{ref}を維持することができる。

【0132】

尚、本発明は前記実施形態に限定されるものではなく、本発明の趣旨を逸脱しない範囲内で種々の改良、変形が可能であることは言うまでもない。

例えば、本実施形態においては、不揮発性半導体記憶装置を例に説明をしたが、本発明はこれに限定されるものではなく、データ読み出しの際、記憶セルに流れるデータ電流とリファレンスセルに流れるリファレンス電流とを比較して差動増幅を行なう構成の半導体記憶装置、更には、電流に応じて生成される電圧を比較して差動増幅を行なう構成の半導体記憶装置等においても同様に適用することができる。

【0133】

また、調整すべき負荷を共通線CL0、CL1、CLにおける配線抵抗として説明したが、本発明はこれに限定されるものではなく、MOSトランジスタMY (0) 乃至MY (n) のドレイン端子や、MOSトランジスタMZ (0)、MZ (1) のドレイン端子等のその他の共通端子についても同様な負荷調整を行なうこともできる。

【0134】

また、負荷調整部1をリファレンス部27C間で共用するためのセクタ2 (72) は必ずしも備える必要はない。各リファレンス部27Cと負荷調整部1とを直結する構成とすることもできる。リファレンス部27C内のMOSトランジスタまたはリファレンスセルの少なくとも何れか1つのゲート端子を制御することにより、リファレンス電流I_{ref}の電流経路を選択的に確立する構成とすることによっても負荷調整部1の共用は可能である。

【0135】

(付記 1) データ読み出しの際、記憶セルから読み出されるデータを基準値に対して差動増幅する半導体記憶装置において、

1 のリファレンスセルと、

前記記憶セルの選択アドレスに応じて、前記リファレンスセルに接続される第 1 負荷を調整する負荷調整部とを備え、

前記第 1 負荷は、前記選択アドレスに応じて選択される前記記憶セルのデータ経路上の第 2 負荷に対して調整されることを特徴とする半導体記憶装置。

(付記 2) 前記第 2 負荷は、前記選択アドレスに応じた前記記憶セルのソース端子側の負荷であり、

前記負荷調整部は、前記リファレンスセルのソース端子側に備えられることを特徴とする付記 1 に記載の半導体記憶装置。

(付記 3) 前記第 1 負荷は、前記第 2 負荷と等価であることを特徴とする付記 1 に記載の半導体記憶装置。

(付記 4) 前記負荷調整部は、

複数の負荷要素を含む負荷要素群と、

前記選択アドレスにより前記負荷要素群から所定の前記負荷要素を選択して前記第 1 負荷とする選択部とを備えることを特徴とする付記 1 に記載の半導体記憶装置。

(付記 5) 複数の前記記憶セルと共通端子との間を接続する共通線路を備え、

前記負荷要素群は、前記共通線路と等価な負荷分布を備えており、

前記選択部は、個々の前記記憶セルが接続される前記共通線路の各接続点に対応する前記負荷要素群の各接続点を、前記リファレンスセルに接続することを特徴とする付記 4 に記載の半導体記憶装置。

(付記 6) 前記負荷要素群は、前記共通線路と等価な物理パラメータを有する配線材料により等価な配線形状を有して構成されることを特徴とする付記 5 に記載の半導体記憶装置。

(付記 7) 前記共通線路の接続点から前記共通端子へのインピーダンスは、前記負荷要素群の接続点から前記共通端子へのインピーダンスと等価であることを特徴とする付記 5 に記載の半導体記憶装置。

(付記 8) 前記共通端子は、基準電圧端子であり、

前記リファレンスセルおよび複数の前記記憶セルのソース端子は、前記負荷要素群および前記共通線路の各接続点に接続されることを特徴とする付記 5 に記載の半導体記憶装置。

(付記 9) 両端部が共通端子に接続され、2 のべき乗数の前記記憶セルが等間隔に接続される共通線路を備え、

前記負荷要素群は、前記記憶セルが接続される前記共通線路上の隣接接続点間の第 1 負荷要素を、2 のべき乗数ごとに順次加算して得られる所定数の第 2 負荷要素を、直列接続した第 1 負荷要素群と、前記第 1 負荷要素群から最大負荷の前記第 2 負荷要素を除いた第 2 負荷要素群とを備え、

前記選択部は、前記第 1 および第 2 負荷要素群のうち相互に対応する前記第 2 負荷要素を排他的に選択することを特徴とする付記 4 に記載の半導体記憶装置。

(付記 10) 各々、複数の前記記憶セルが接続されている第 1 および第 2 デジタル線と、

前記第 1 デジタル線を介して、非選択の前記記憶セルのみが接続される第 1 データ線と、

前記第 2 デジタル線を介して、選択される前記記憶セルが接続される第 2 データ線と、

前記 1 のリファレンスセルと前記負荷調整部とを備え、前記第 1 データ線に接続される第 1 ロード部と、

前記第 1 ロード部と同等な構成を有し、前記第 2 データ線に接続される第 2 ロード部とを備え、

前記第 1 及び第 2 データ線を 1 対として、読み出し動作を行なうことを特徴とする付記 1 乃至 9 の少なくともいずれか 1 項に記載の半導体記憶装置。

(付記 11) 各々、複数の前記記憶セルが接続されている第 1 および第 2 デジタル線と、

前記第 1 デジタル線を介して、非選択の前記記憶セルのみが接続される第 1 データ線と、

前記第 2 デジタル線を介して、選択される前記記憶セルが接続される第 2 デ

ータ線と、

前記第 1 データ線に接続されて前記第 1 データ線に前記基準値を供給する第 1 ロード部と、

前記第 1 ロード部と同等な構成を有し、前記第 2 データ線に接続される第 2 ロード部と、

前記 1 のリファレンスセルと前記負荷調整部とを含み、前記基準値に応じたレギュレート電圧を出力するレギュレータ部とを備え、

前記第 1 及び第 2 ロード部は、前記レギュレート電圧により制御される第 1 及び第 2 負荷部を備えることを特徴とする付記 1 乃至 9 の少なくともいずれか 1 項に記載の半導体記憶装置。

(付記 1 2) 複数の読み出し動作モードを備える半導体記憶装置において、

前記複数の読み出し動作モードのうちの所定の読み出し動作モードについて、前記 1 のリファレンスセルおよび前記負荷調整部を備えることを特徴とする付記 1 乃至 1 1 の少なくともいずれか 1 項に記載の半導体記憶装置。

(付記 1 3) 前記所定の読み出し動作モードが 2 以上ある場合、

前記負荷調整部は、前記読み出し動作モード間で共用されることを特徴とする付記 1 2 に記載の半導体記憶装置。

(付記 1 4) 前記所定の読み出し動作モードが 3 以上ある場合、

第 1 の読み出し動作モードについては、第 1 負荷調整部を備え、

その他の読み出し動作モードについては、前記その他の読み出し動作モード間で共用される第 2 負荷調整部を備えることを特徴とする付記 1 2 に記載の半導体記憶装置。

(付記 1 5) 前記半導体記憶装置は、不揮発性半導体記憶装置であり、

前記所定の読み出し動作モードは、データ読み出しモード、または、前記データ読み出しモードと、プログラム確認モードまたは消去確認モードのうちの少なくとも何れか一方の読み出し動作モードとであることを特徴とする付記 1 2 に記載の半導体記憶装置。

(付記 1 6) 前記半導体記憶装置は、不揮発性半導体記憶装置であり、

前記基準値は、基準電流値であることを特徴とする付記 1 乃至 1 3 の少なくとも

いずれか 1 項に記載の半導体記憶装置。

(付記 1 7) 記憶セルから読み出されるデータを、リファレンスセルから読み出される基準値に対して差動増幅する半導体記憶装置の制御方法において、

前記記憶セルの選択アドレスに応じて、前記リファレンスセルに接続される第 1 負荷を、前記選択アドレスにより選択された前記記憶セルのデータ経路上の第 2 負荷に対して調整することにより前記基準値を調整することを特徴とする半導体記憶装置の制御方法。

(付記 1 8) 前記第 1 負荷は、前記第 2 負荷と等価であることを特徴とする付記 1 6 に記載の半導体記憶装置の制御方法。

【 0 1 3 6 】

【発明の効果】

本発明によれば、リファレンスセル数を必要最小限に抑えながら、選択アドレスにより、選択される記憶セルに応じた負荷をリファレンスセルに接続することにより、選択される記憶セルに応じた基準電流を得て、記憶セルに関わらず読み出し動作の余裕度を一定とすることができる半導体記憶装置を提供することが可能となる。

【図面の簡単な説明】

【図 1】

本発明の原理説明図である。

【図 2】

第 1 実施形態の回路図である。

【図 3】

第 2 実施形態の回路図である。

【図 4】

第 3 実施形態の回路図である。

【図 5】

第 4 実施形態の回路図である。

【図 6】

第 5 実施形態の回路図である。

【図 7】

第 6 実施形態のメモリセルアレイにおける列方向アドレッシングの模式図である。

【図 8】

第 6 実施形態の回路図である。

【図 9】

第 7 実施形態の回路ブロック図である。

【図 1 0】

第 7 実施形態のトランジスタ特性図である。

【図 1 1】

第 7 実施形態の第 1 変形例の回路ブロック図である。

【図 1 2】

第 7 実施形態の第 2 変形例の回路ブロック図である。

【図 1 3】

第 8 実施形態の回路ブロック図である。

【図 1 4】

第 8 実施形態の具体例の回路図である。

【図 1 5】

第 8 実施形態の変形例の回路ブロック図である。

【図 1 6】

第 8 実施形態の変形例の第 1 具体例の回路図である。

【図 1 7】

第 8 実施形態の変形例の第 2 具体例の回路図である。

【図 1 8】

従来技術のリファレンス部の回路図である。

【符号の説明】

1、1 A、1 B、1 C、1 D、1 E、1 F 負荷調整部

2、2 1、2 2、2 3、2 4、2 5、2 6、2 7 A、2 7 B、2 7 C、

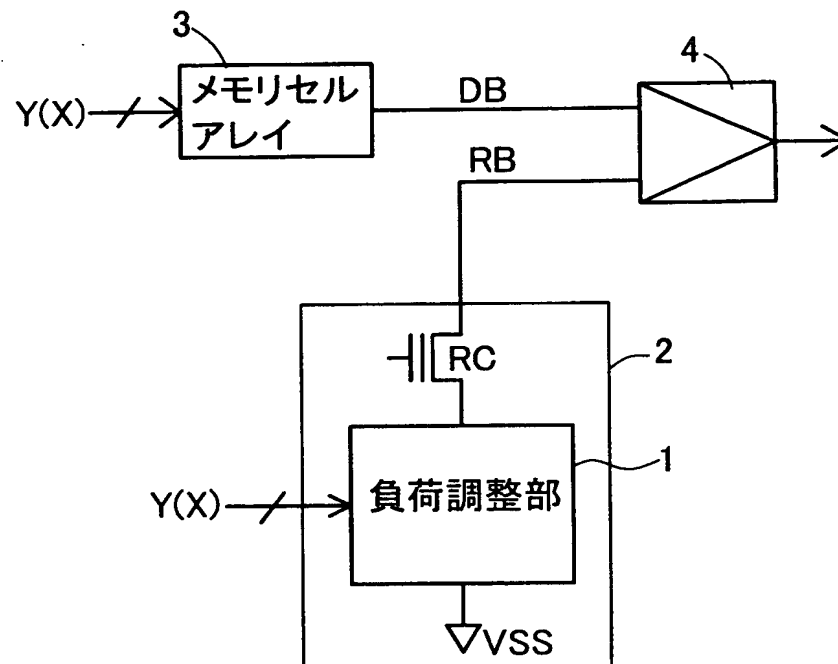
リファレンス部

3、31、32、33	メモリセルアレイ
28、28A、28B、29、29A	ロード部
30、30A、30B	レギュレータ部
CL、CL0、CL1、CL00	共通線
DB0、DB1	データバス線
GBL0、GBL1	グローバルビット線
LBL00乃至LBL03、LBL10乃至LBL13	ローカルビット線
MC00乃至乃至MC2n、MC00乃至MC03、MC0乃至MC15	記憶セル
RC、RC1、RC2、RC(0)、RC(1)、RC(2)	リファレンスセル

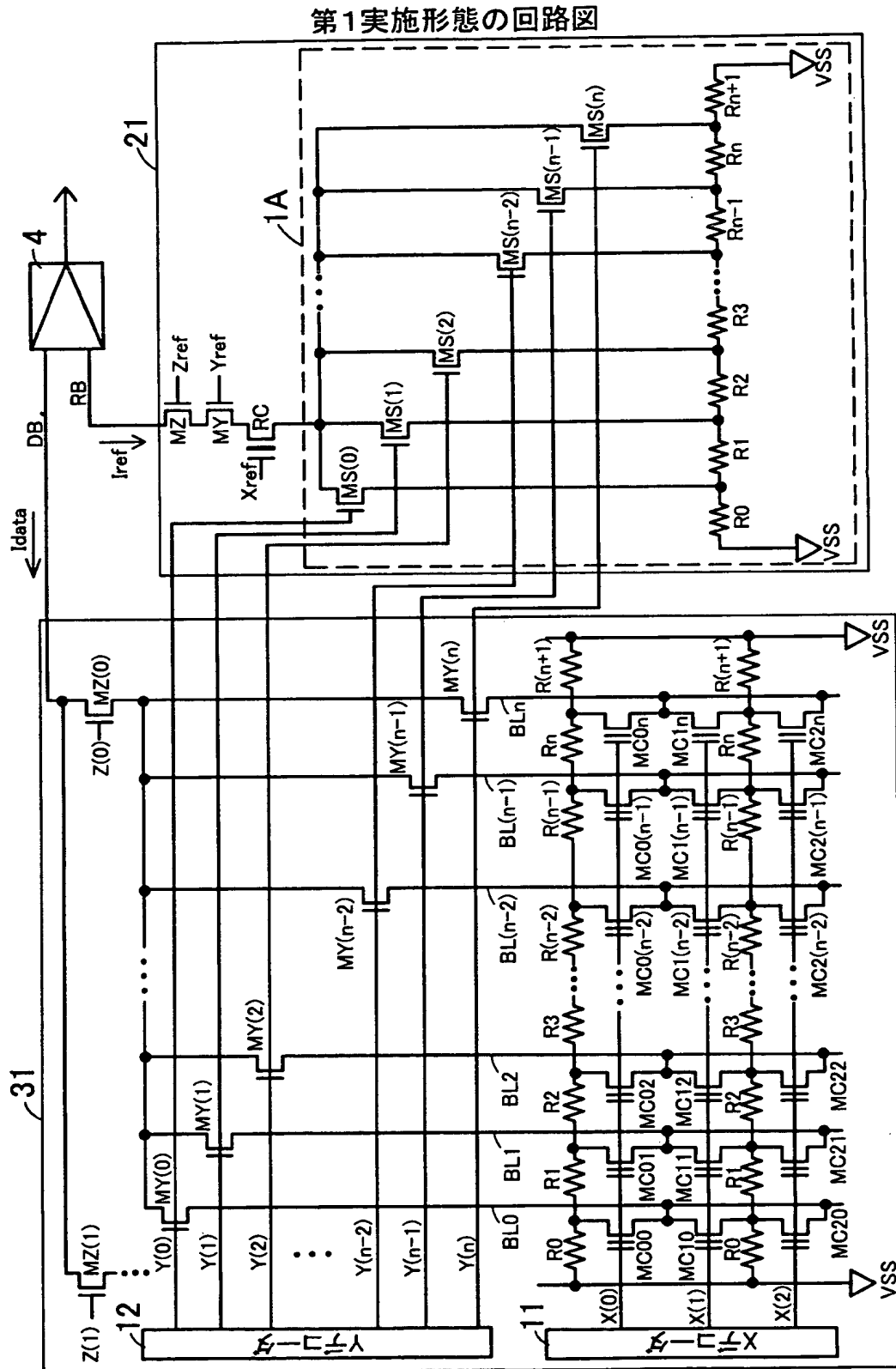
【書類名】 図面

【図 1】

本発明の原理図

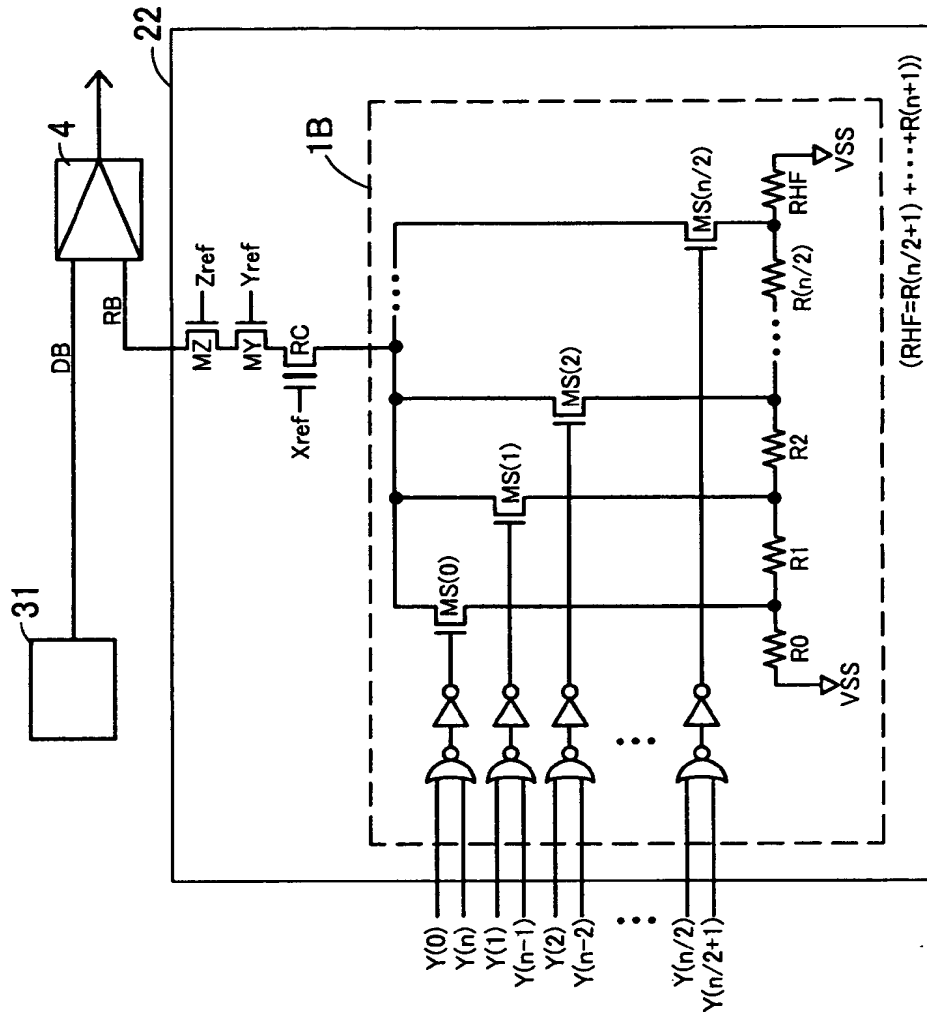


【図 2】



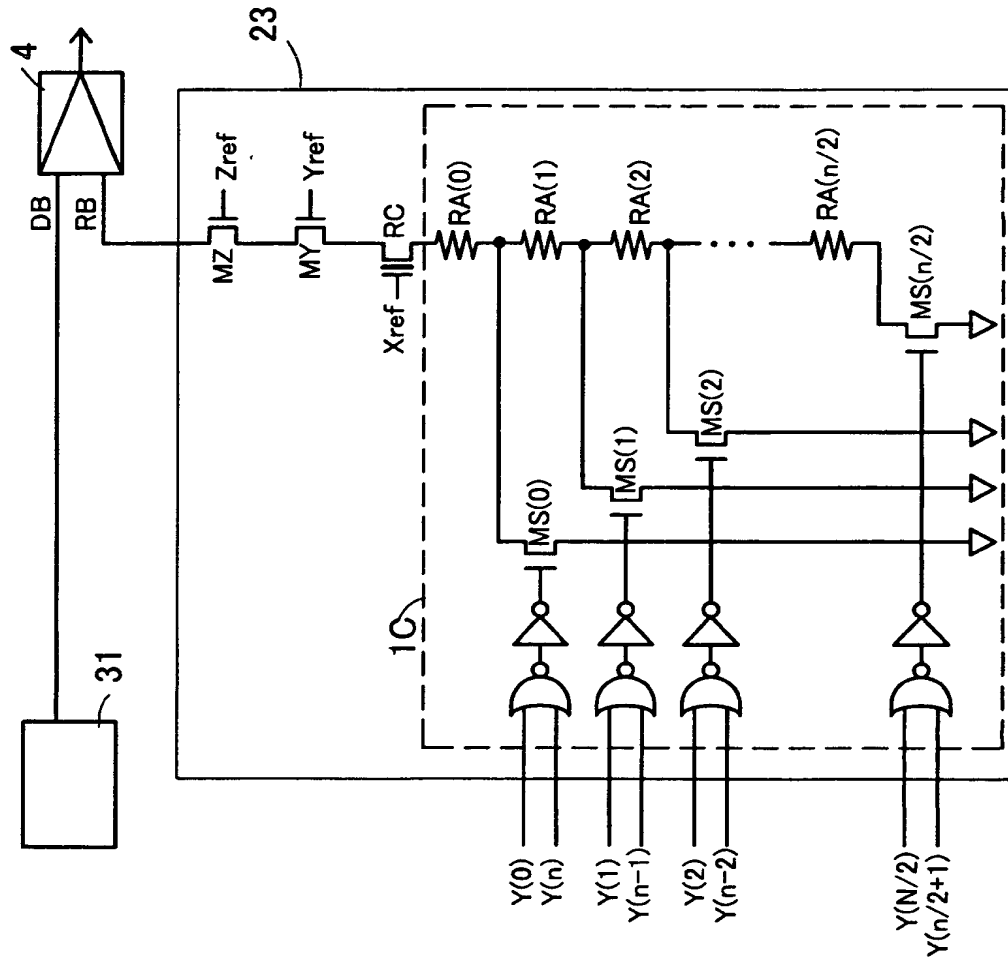
【图 3】

第2実施形態の回路図



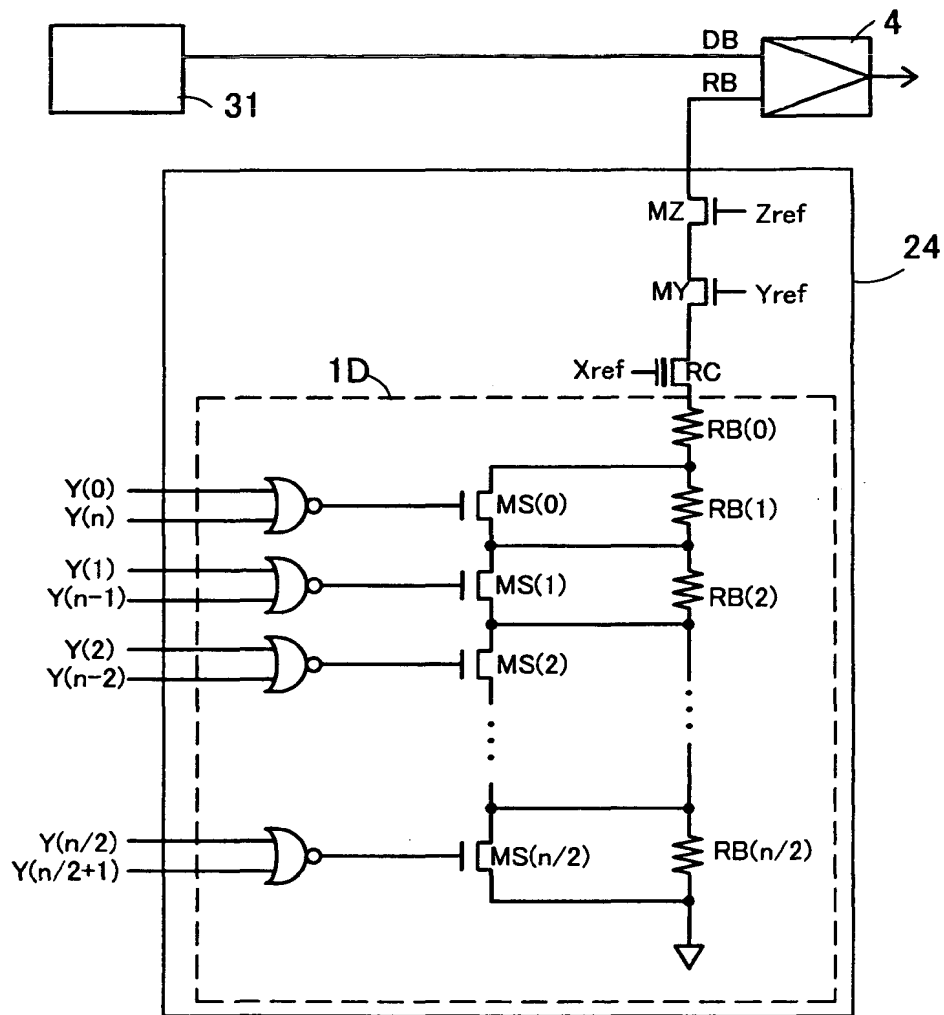
【図 4】

第3実施形態の回路図



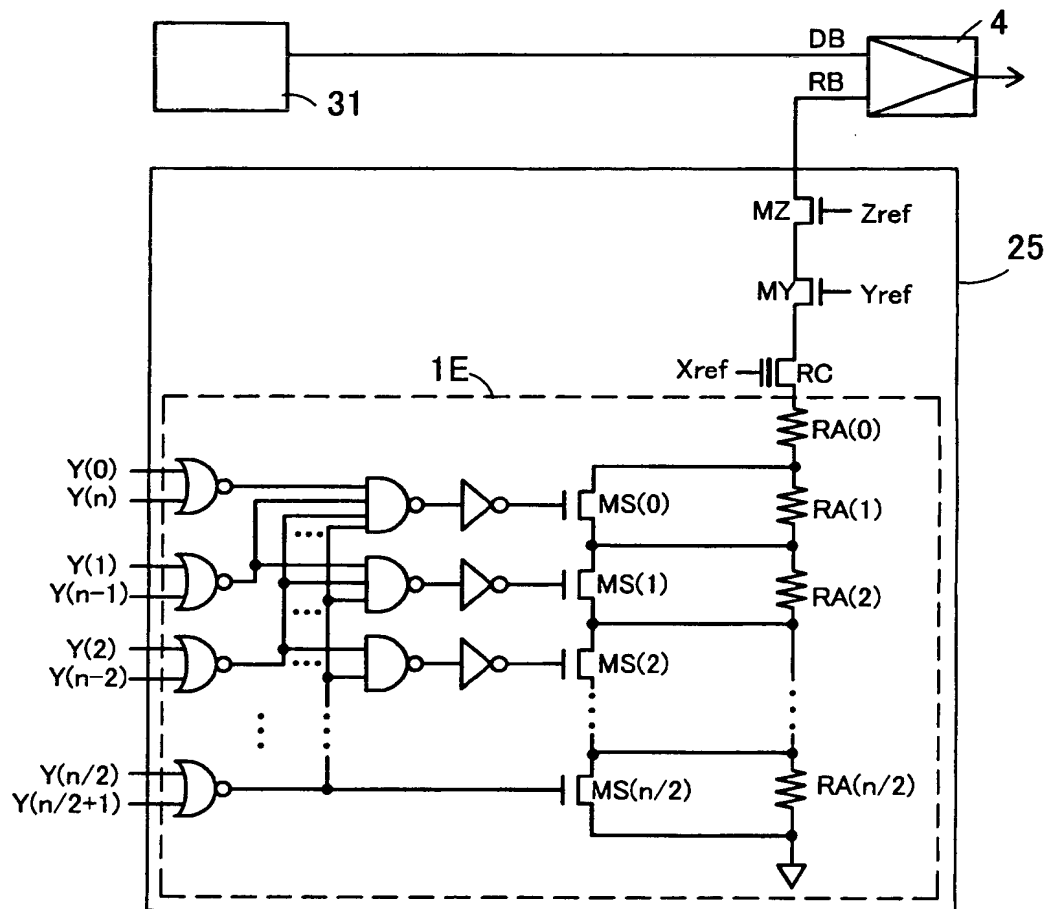
【図 5】

第4実施形態の回路図



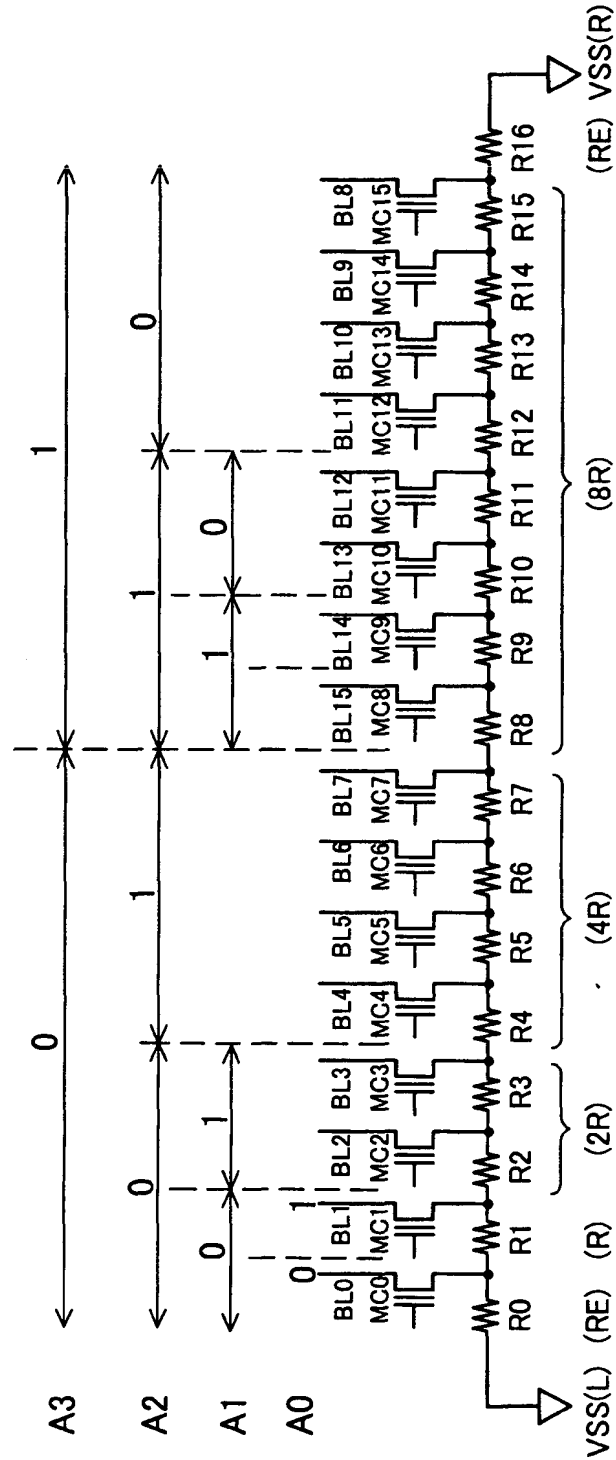
【図 6】

第5実施形態の回路図



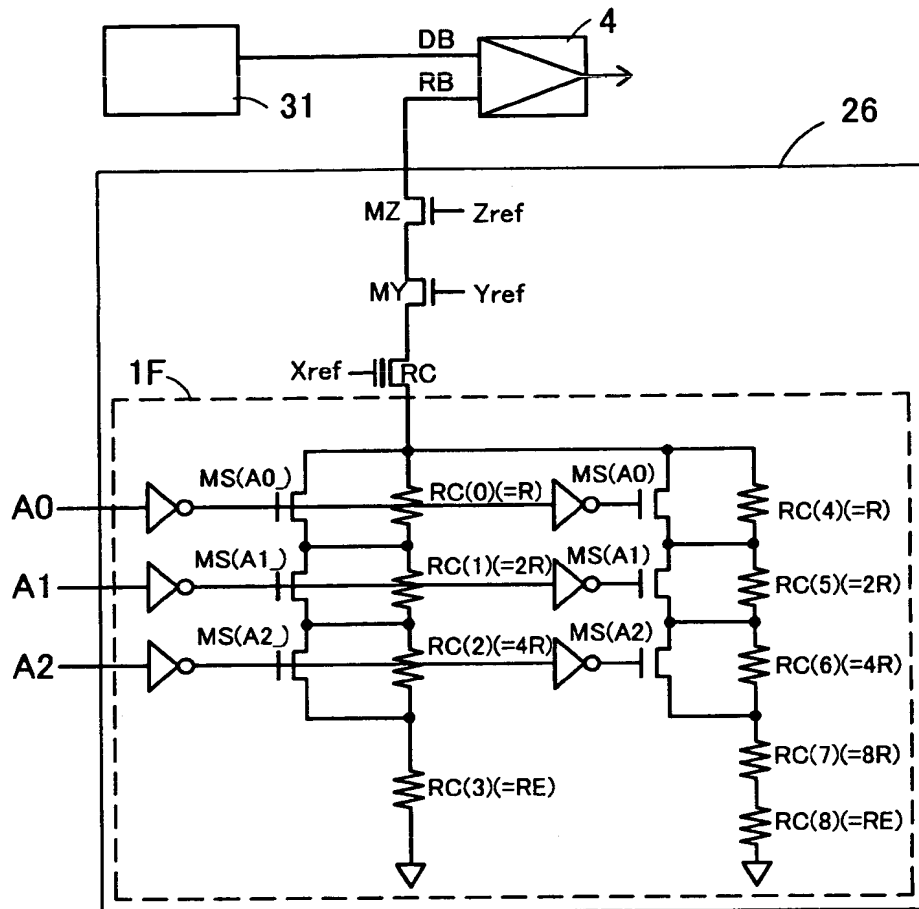
【図 7】

第6実施形態のメモリセルアレイにおける
列方向アドレッシングの模式図



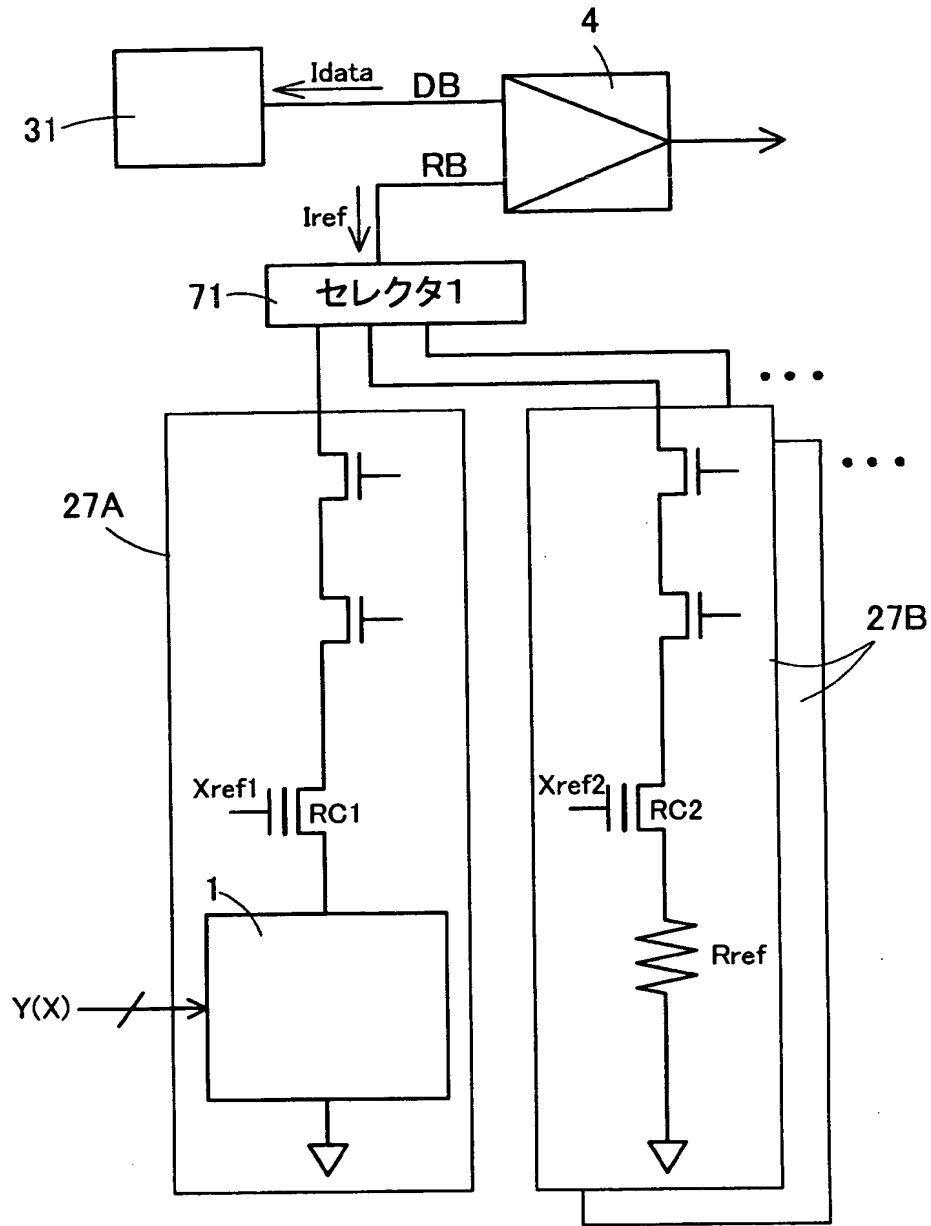
【図 8】

第6実施形態の回路図



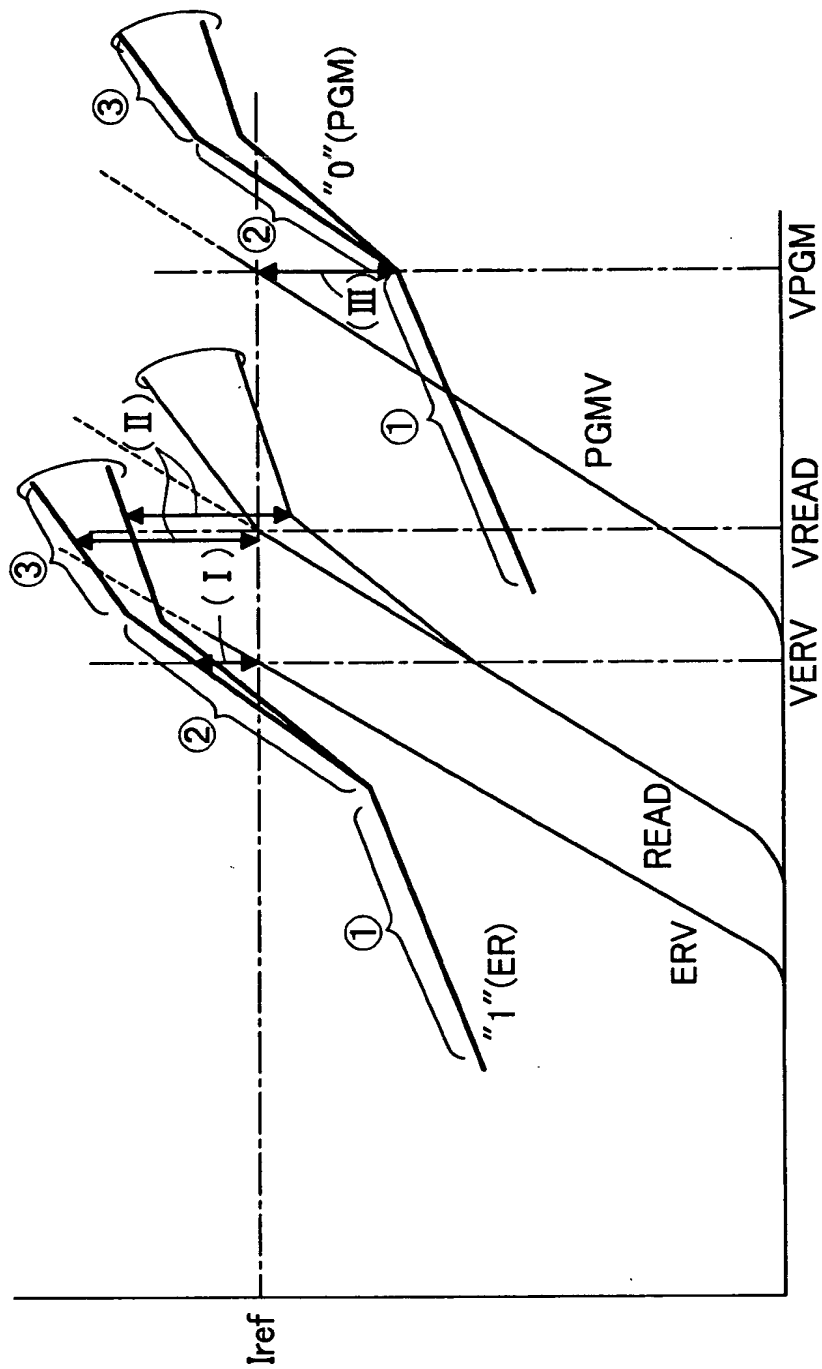
【図 9】

第7実施形態の回路ブロック



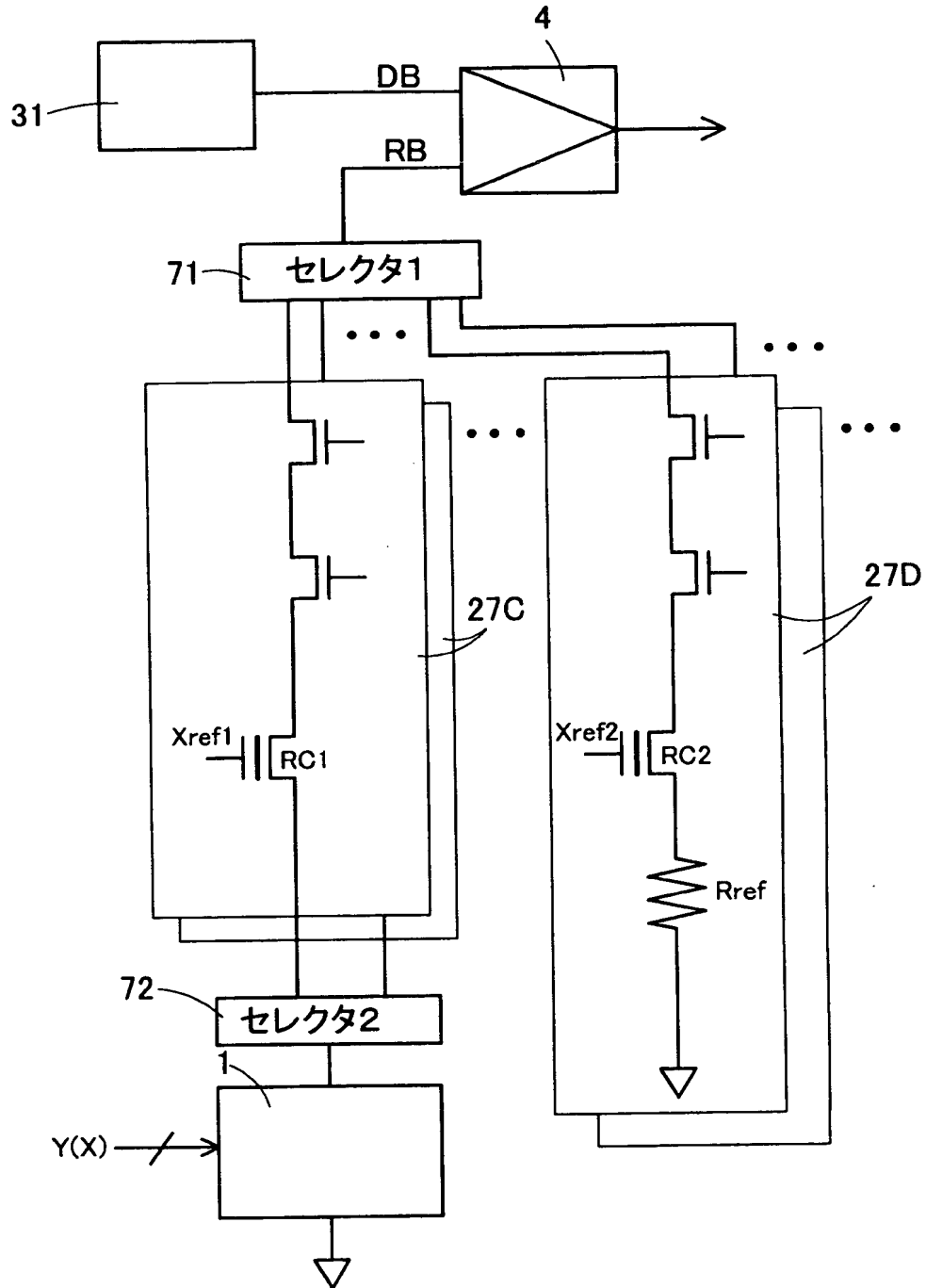
【図10】

第7実施形態のトランジスタ特性



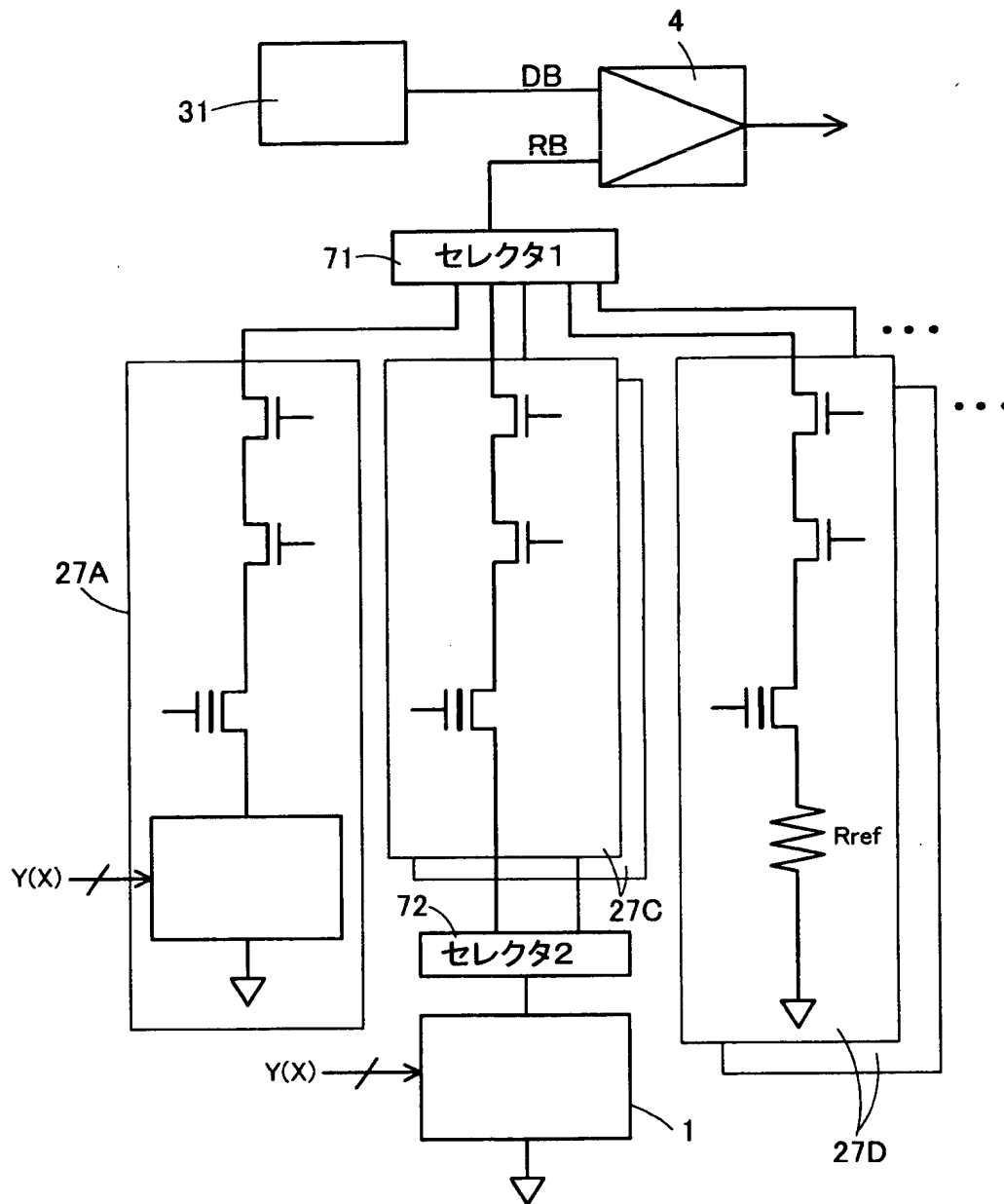
【図 1 1】

第7実施形態の第1変形例



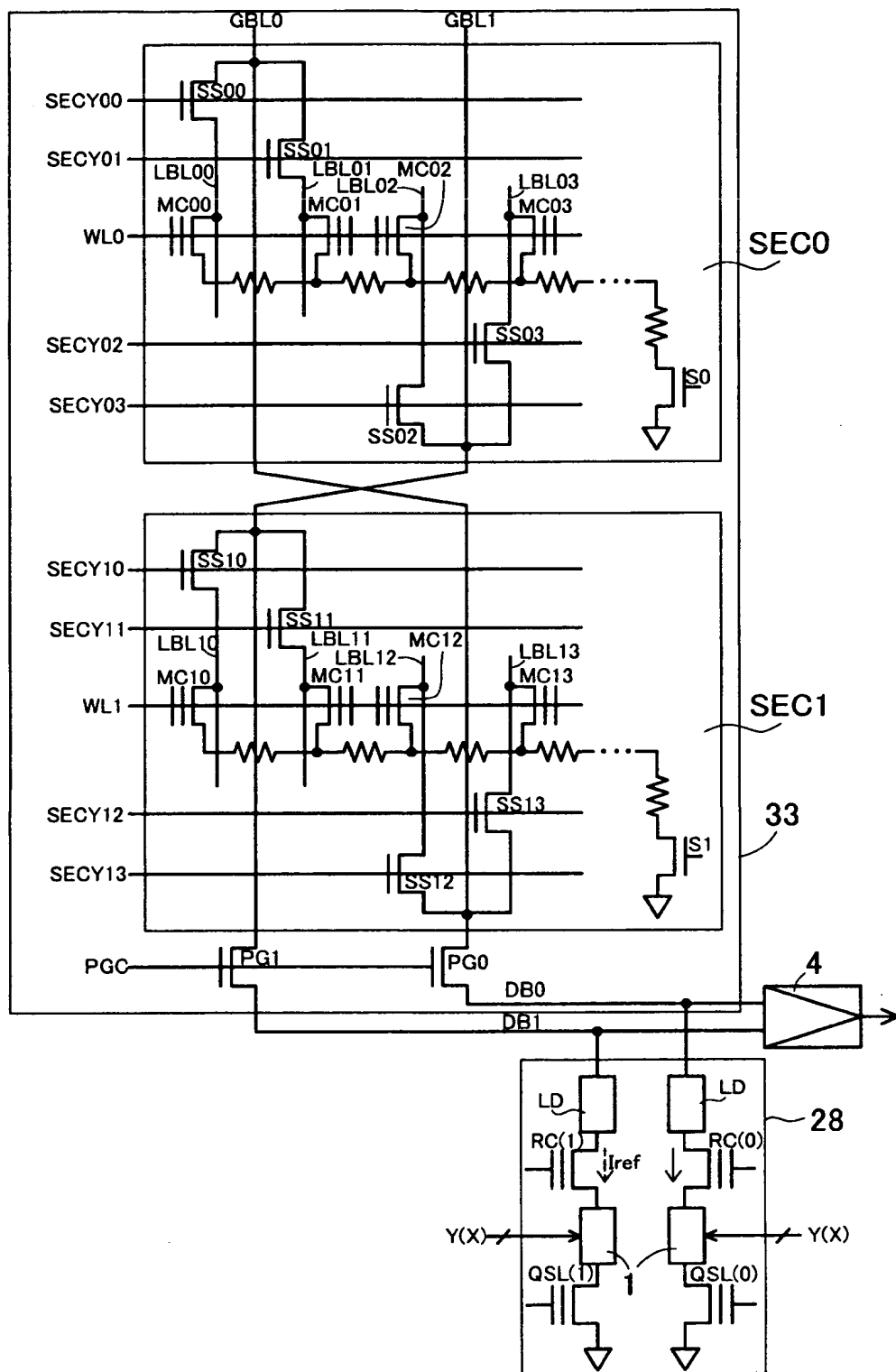
【図 1 2】

第7実施形態の第2変形例



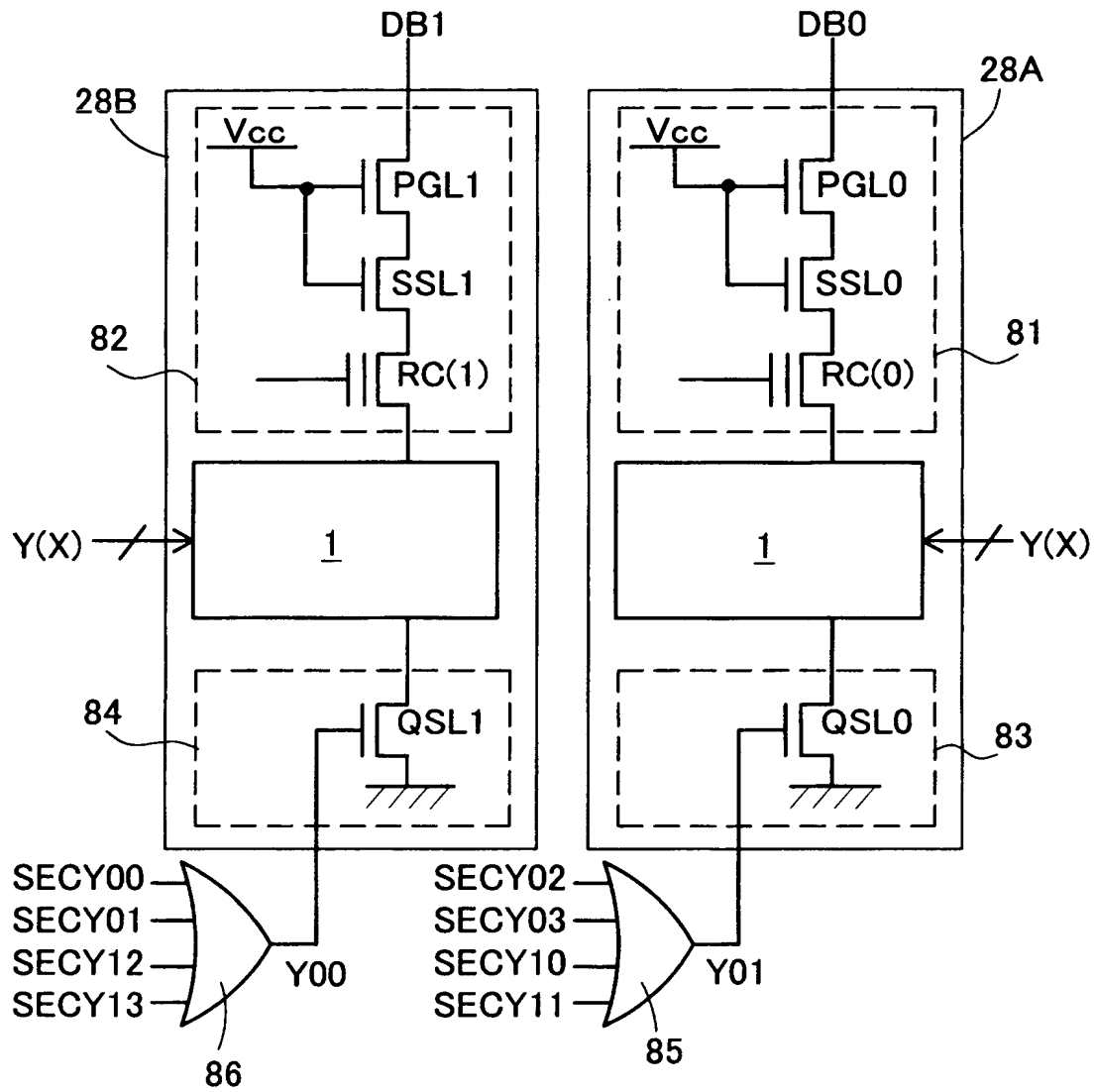
【図 13】

第8実施形態の回路ブロック図



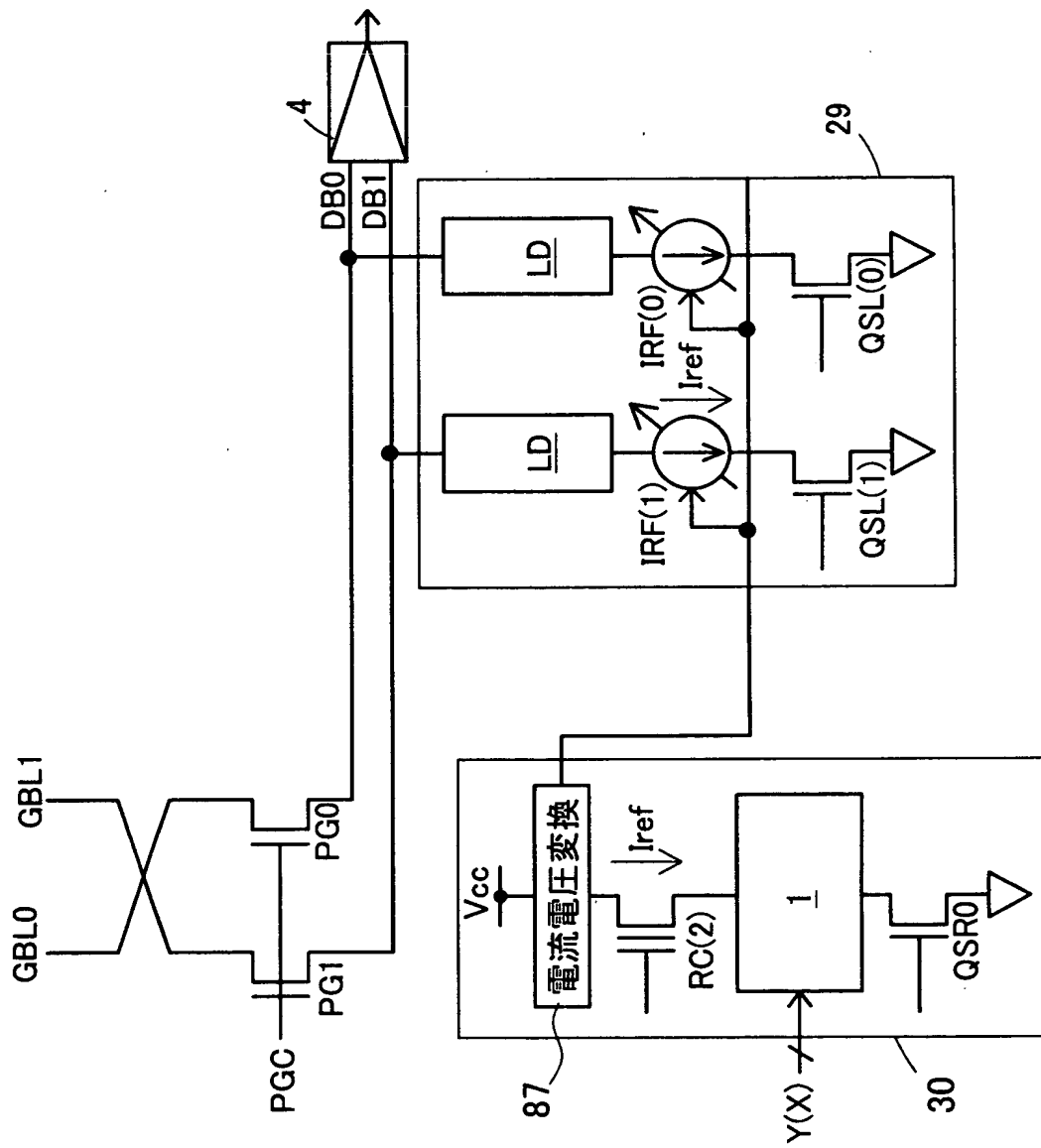
【図 1 4】

第8実施形態の具体例



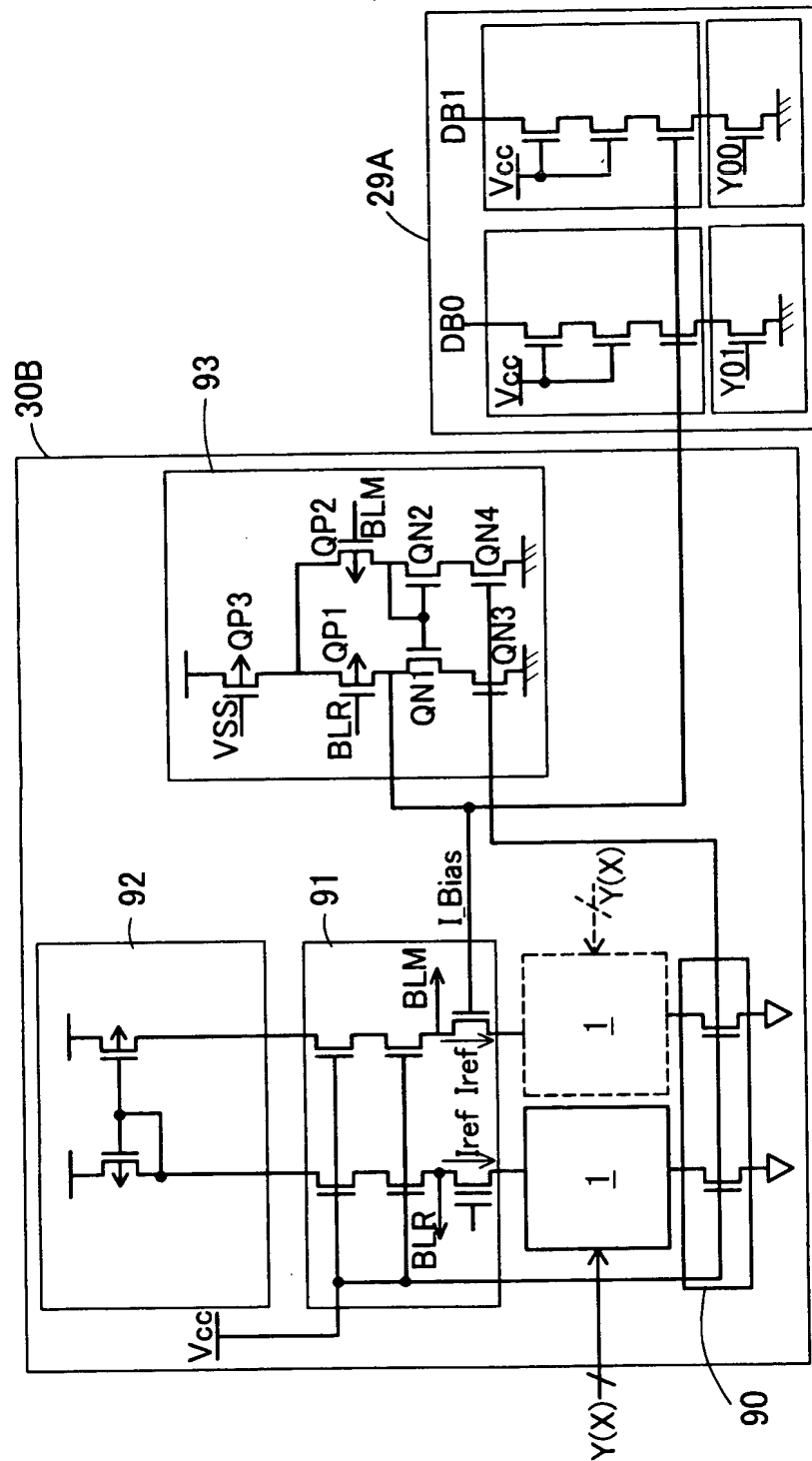
【図 1 5】

第8実施形態の変形例の回路ブロック図



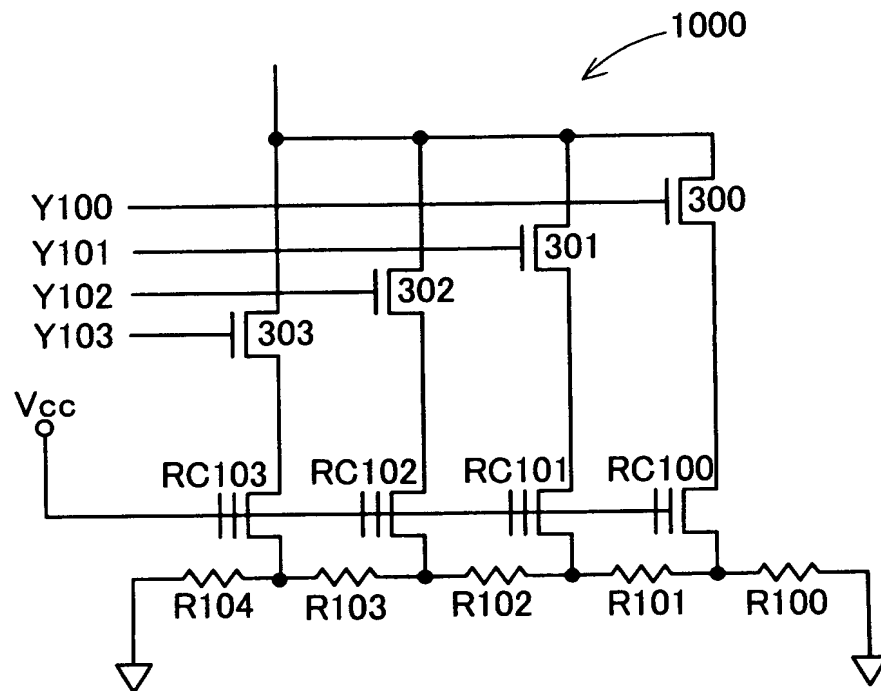
【図 17】

第8実施形態の変形例の第2具体例



【図 1 8】

従来技術のリファレンス部



【書類名】 要約書

【要約】

【課題】 リファレンスセル数を必要最小限に抑えながら選択される記憶セルに応じた基準電流を得て、記憶セルに関わらず読み出し動作の余裕度を一定とすることができる半導体記憶装置を提供すること

【解決手段】 メモリセルアレイ 3 からアドレス Y (X) により選択された記憶セルがデータ線 DB に接続されてデータが読み出され、リファレンス部 2 からリファレンス線 RB に供給される基準値に対して差動増幅器 4 において差動増幅される。リファレンス部 2 は、1 つのリファレンスセル RC と、リファレンスセル RC のソース端子に接続されるソース抵抗調整部 1 を備えて構成され、負荷調整部 1 は、アドレス Y (X) によりリファレンスセル RC のソース端子に接続される抵抗値が調整される。ソース抵抗調整部 1 は、アドレス Y (X) に応じて選択される記憶セルの負荷と等価な負荷をリファレンスセルに接続し、常に的確な基準値が供給される。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 5 2 2 3]

1. 変更年月日	1 9 9 6 年 3 月 2 6 日
[変更理由]	住所変更
住 所	神奈川県川崎市中原区上小田中4丁目1番1号
氏 名	富士通株式会社